

DIALOG(R)File 352:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

014384231 **Image available**

WPI Acc No: 2002-204934/200226

XRAM Acc No: C02-062785

XRPX Acc No: N02-155932

Semiconductor device manufacture by forming impurity region in semiconductor layer by doping impurity element into the semiconductor layer self-aligningly using as mask the upper layer of gate electrode formed in two layers

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); ONO K (ONOK-I); SUZAWA H (SUZA-I); TAKAYAMA T (TAKA-I)

Inventor: ONO K; SUZAWA H; TAKAYAMA T

Number of Countries: 004 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20020006705	A1	20020117	US 2001852282	A	20010510	200226 B
JP 2002083805	A	20020322	JP 2001141133	A	20010511	200236
KR 2002017919	A	20020307	KR 200126005	A	20010512	200261
TW 480576	A	20020321	TW 2001110576	A	20010503	200308

Priority Applications (No Type Date): JP 2000193614 A 20000627; JP 2000140999 A 20000512

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
US 20020006705	A1		34	H01L-021/00	
JP 2002083805	A		30	H01L-021/3065	
KR 2002017919	A			H01L-021/30	
TW 480576	A			H01L-021/00	

Abstract (Basic): US 20020006705 A1

NOVELTY - Semiconductor device is made by forming an impurity region in a semiconductor layer by doping an impurity element into the semiconductor layer self-aligningly using as a mask the upper layer of a gate electrode formed in two layers.

DETAILED DESCRIPTION - Manufacture of semiconductor device comprises forming a semiconductor layer, forming a gate insulating film over the semiconductor layer, forming a first conducting film over the gate insulating film, forming a second conducting film over the first conducting film, forming a gate electrode of a first shape by carrying out dry etching at least once on the second conducting film and the first conducting film, forming a first impurity region in the semiconductor layer, forming a gate electrode of a second shape by carrying out dry etching on the gate electrode of the first shape, forming a gate electrode of a third shape by carrying out dry etching selectively on the second conducting film of the gate electrode of the second shape, and forming a second impurity region in the semiconductor layer.

USE - Used for the manufacture of a semiconductor device useful in

a part of a display, particularly liquid crystal displays, organic electroluminescent (EL) displays (a light emitting device or a light emitting diode) and electronic equipment using such displays. The EL devices include triplet-based light emission devices and/or singlet-based light emission devices.

ADVANTAGE - The process reduces the number of masks required and eliminates trouble associated with the formation of these masks so reducing manufacturing cost of the semiconductor device and the time required for its manufacture.

DESCRIPTION OF DRAWING(S) - The figure shows a section of a reflective liquid crystal display.

pp; 34 DwgNo 8/12

Title Terms: SEMICONDUCTOR; DEVICE; MANUFACTURE; FORMING; IMPURE; REGION;
SEMICONDUCTOR; LAYER; DOPE; IMPURE; ELEMENT; SEMICONDUCTOR; LAYER; SELF;
MASK; UPPER; LAYER; GATE; ELECTRODE; FORMING; TWO; LAYER

Derwent Class: L03; U11; U14

International Patent Class (Main): H01L-021/00; H01L-021/30; H01L-021/3065

International Patent Class (Additional): H01L-021/28; H01L-021/336;
H01L-029/76; H01L-029/786; H01L-031/36

File Segment: CPI; EPI

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-83805
(P2002-83805A)

(43) 公開日 平成14年3月22日 (2002.3.22)

(51) Int.Cl.⁷
H 0 1 L 21/3065
21/28
21/336
29/786

識別記号

F I
H 0 1 L 21/28
21/302
29/78
F 4 M 1 0 4
J 5 F 0 0 4
6 1 7 K 5 F 1 1 0
6 1 7 L
6 1 6 A

テ-7コード (参考)

審査請求 未請求 請求項の数23 O L (全 30 頁)

(21) 出願番号 特願2001-141133(P2001-141133)
(22) 出願日 平成13年5月11日 (2001.5.11)
(31) 優先権主張番号 特願2000-140999(P2000-140999)
(32) 優先日 平成12年5月12日 (2000.5.12)
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願2000-193614(P2000-193614)
(32) 優先日 平成12年6月27日 (2000.6.27)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 須沢 英臣
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 小野 幸治
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 高山 徹
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

最終頁に続く

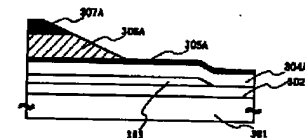
(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

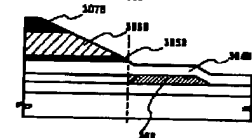
【課題】 アクティブマトリクス型の表示装置に代表される半導体装置を作成する上で、フォトリソグラフィーを伴うレジストマスクのパターニングはその工程数の増加、工程時間の延長などを引き起こし、コスト増加の要因の一つとなっていた。

【解決手段】 半導体層303に不純物領域を形成する方法として、2層に形成されたゲート電極のうち第2の導電膜306をマスクとして自己整合的に半導体層303に不純物元素をドーピングする。このとき、第1の導電膜305及び絶縁膜304を通り抜けて半導体層に不純物元素のドーピングを行うことで半導体層313にはGOLD構造のLDD領域が形成される。

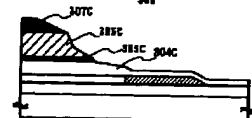
(A) 第1のドライエッチング



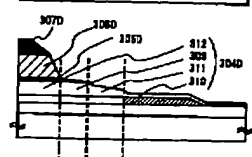
(B) 第2のドライエッチング
ドーピング



(C) 第3のドライエッチング



(D) 第4のドライエッチング



(E) レジスト剥離
ドーピング



【特許請求の範囲】

【請求項 1】半導体層を形成する第 1 の工程と、
前記半導体層上にゲート絶縁膜を形成する第 2 の工程と、
前記ゲート絶縁膜上に第 1 の導電膜を形成する第 3 の工程と、
前記第 1 の導電膜上に第 2 の導電膜を形成する第 4 の工程と、
前記第 2 の導電膜及び前記第 1 の導電膜に対してドライエッチングを 1 回または複数回行い第 1 の形状のゲート電極を形成する第 5 の工程と、
前記半導体層に第 1 の不純物領域を形成する第 6 の工程と、
前記第 1 の形状のゲート電極に対してドライエッチングを行い第 2 の形状のゲート電極を形成する第 7 の工程と、前記第 2 の形状のゲート電極を構成する第 2 の導電膜に対して選択的にドライエッチングを行い第 3 の形状のゲート電極を形成する第 8 の工程と、前記半導体層に第 2 の不純物領域を形成する第 9 の工程と、を含むことを特徴とする半導体装置の作製方法。

【請求項 2】請求項 1 において、前記第 1 の導電膜及び前記第 2 の導電膜は、タングステン、タンタル、チタン、モリブデンから選ばれた高融点金属を主成分とする材質、またはこれら金属を含む合金、またはこれら金属を主成分とする窒化物、から選ばれた材質であることを特徴とする半導体装置の作製方法。

【請求項 3】請求項 1 または請求項 2 において、前記第 5 の工程におけるドライエッチングでは、塩素系ガス及びフッ素系ガス、若しくは塩素系ガス及びフッ素系ガス及び O_2 を用いて第 1 の形状のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項 4】請求項 1 乃至 3 のいずれかにおいて、前記第 7 の工程におけるドライエッチングでは、塩素系ガス及びフッ素系ガスを用いて第 2 の形状のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項 5】請求項 1 乃至 4 のいずれかにおいて、前記第 8 の工程におけるドライエッチングでは、塩素系ガス及びフッ素系ガス及び O_2 を用いて第 3 の形状のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項 6】請求項 1 乃至 5 のいずれかに記載の前記第 9 の工程は、前記第 2 の形状のゲート電極を構成する前記第 1 の導電膜及び前記ゲート絶縁膜を通過するように不純物元素をドーピングすることで前記半導体層に前記第 2 の不純物領域を形成することを特徴とする半導体装置の作製方法。

【請求項 7】請求項 1 乃至 6 のいずれか一項に記載の第 9 の工程は、前記第 3 の形状のゲート電極の外側に位置する半導体層及び第 3 の形状のゲート電極と重なる半導体層に同時に不純物領域を形成することを特徴とする半

導体装置の作製方法。

【請求項 8】半導体層を形成する第 1 の工程と、
前記半導体層上にゲート絶縁膜を形成する第 2 の工程と、
前記ゲート絶縁膜上に第 1 の導電膜を形成する第 3 の工程と、
前記第 1 の導電膜上に第 2 の導電膜を形成する第 4 の工程と、
前記第 2 の導電膜及び前記第 1 の導電膜に対してドライエッチングを 1 回または複数回行い第 1 の形状のゲート電極を形成する第 5 の工程と、
前記半導体層に第 1 の不純物領域を形成する第 6 の工程と、
前記第 1 の形状のゲート電極を構成する第 2 の導電膜に対して選択的にドライエッチングを行い第 2 の形状のゲート電極を形成する第 7 の工程と、前記半導体層に第 2 の不純物領域を形成する第 8 の工程と、前記第 2 の形状のゲート電極を構成する第 1 の導電膜に対して選択的にドライエッチングを行い第 3 の形状のゲート電極を形成する第 9 の工程と、を含むことを特徴とする半導体装置の作製方法。

【請求項 9】請求項 8 において、前記第 1 の導電膜及び前記第 2 の導電膜は、タングステン、タンタル、チタン、モリブデンから選ばれた高融点金属を主成分とする材質、またはこれら金属を含む合金、またはこれら金属を主成分とする窒化物、から選ばれた材質であることを特徴とする半導体装置の作製方法。

【請求項 10】請求項 8 または請求項 9 において、前記第 5 の工程におけるドライエッチングでは、塩素系ガス及びフッ素系ガス、若しくは、塩素系ガス及びフッ素系ガス及び O_2 を用いて第 1 の形状のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項 11】請求項 8 乃至 10 のいずれかにおいて、前記第 7 の工程におけるドライエッチングでは、塩素系ガス及びフッ素系ガス及び O_2 を用いて第 2 の形状のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項 12】請求項 8 乃至 11 のいずれかにおいて、前記第 9 の工程におけるドライエッチングでは、塩素系ガス及びフッ素系ガス、塩素系ガス及びフッ素系ガス及び O_2 、 CHF_3 、 C_4F_8 の中から選ばれたガスを用いて第 3 の形状のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項 13】請求項 8 乃至 12 のいずれかにおける前記第 8 の工程は、前記第 2 の形状のゲート電極を構成する前記第 1 の導電膜及びゲート絶縁膜を通過するように不純物元素をドーピングすることで前記半導体層に前記第 2 の不純物領域を形成することを特徴とする半導体装置の作製方法。

【請求項 14】絶縁表面上に形成された半導体層と、該

半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含む半導体装置の作製方法であって、絶縁表面上に半導体層を形成する第1の工程と、前記半導体層上に絶縁膜を形成する第2の工程と、前記絶縁膜上に、第1の導電層と、前記第1の導電層の端部におけるテーパ角度より大きいテーパ角度を端部に有する第2の導電層との積層からなるゲート電極を形成する第3の工程を含むことを特徴とする半導体装置の作製方法。

【請求項15】請求項14において、前記半導体層の端部は、テーパ形状とすることを特徴とする半導体装置の作製方法。

【請求項16】請求項14または請求項15において、第2の導電層の幅は、第1の導電層の幅より狭いことを特徴とする半導体装置の作製方法。

【請求項17】請求項14乃至16のいずれか一において、前記第3の工程は、塩素系ガス及びフッ素系ガス、若しくは、前記塩素系ガス及び前記フッ素系ガス及び O_2 を用いてドライエッチングを行った後、塩素系ガス及びフッ素系ガス及び O_2 を用いてドライエッチングを行うことでゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項18】請求項1乃至17のいずれか一において、前記塩素系ガスは、 Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 から選ばれたガスであることを特徴とする半導体装置の作製方法。

【請求項19】請求項1乃至18のいずれか一において、前記フッ素系ガスは、 CF_4 、 SF_6 、 NF_3 から選ばれたガスであることを特徴とする半導体装置の作製方法。

【請求項20】絶縁表面上に形成された半導体層と、該半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含む半導体装置であって、前記ゲート電極は、第1の導電層を下層とし、前記第1の導電層の端部におけるテーパ角度より大きいテーパ角度を端部に有する第2の導電層を上層とする積層構造を有し、前記半導体層は、前記第2の導電層と重なるチャネル形成領域と、前記第1の導電層と重なるLDD領域と、ソース領域及びドレイン領域とを有していることを特徴とする半導体装置。

【請求項21】請求項20において、前記半導体層の端部はテーパ形状であることを特徴とする半導体装置。

【請求項22】請求項20または請求項21において、前記半導体層の端部は、前記ゲート電極と前記半導体層との間に設けられた絶縁膜に覆われていることを特徴とする半導体装置。

【請求項23】請求項22において、前記絶縁膜のうち、ゲート電極近傍は、テーパ形状を有していることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその作製方法に関し、特にドライエッチングによるそのゲート電極の加工方法により半導体層に不純物ドーピング領域を制御する技術を特徴とする。その用途は上記半導体装置を表示部に用いた表示装置、特に液晶ディスプレイ、有機ELディスプレイ及びそれら表示装置を用いた電子機器に関する。

【0002】

【従来の技術】半導体装置を作製する上でドライエッチングあるいはウェットエッチングにより半導体層の形状を形成する場合、あるいはドーピングにより半導体層に不純物領域を形成する場合、フォトリソグラフィからなるマスクが用いられる。

【0003】ドライエッチングあるいはウェットエッチングではマスクで覆われた部分の外側の材質が除去され、被エッチング材質はマスクの形状と同様の形状が形成される。一方で、ドーピングを行う際にはマスクで覆われていない半導体層に不純物領域が形成される。

【0004】近年、薄膜トランジスタ（以下、TFTという）を備えた半導体装置の構造は微細化が進んでいる。そのためマスク形成にも微細な位置合わせが要求される。微細な位置合わせはレジストからなるマスクを形成する際に形状不良を引き起こす要因の一つとなる。そこでマスクを形成し、ドライエッチングなどでTFTの一部（例えばゲート電極）を形成した後、形成した前記TFTの一部（例えばゲート電極）をマスクとして、TFTのその他の部分（例えばソース領域またはドレイン領域）を形成する自己整合的に半導体装置を作製する方法が知られている。

【0005】自己整合的に半導体装置を作製する方法は、フォトリソグラフィの技術において、フォトリソグラフィからなるマスクを形成する際に使用されるフォトマスク枚数の削減が実現でき、微細な位置あわせも不要となるため現在注目されている技術である。

【0006】半導体層に不純物領域を形成するにはリンやヒ素などに代表される（周期表における）15族の不純物元素あるいはボロンなどに代表される（周期表における）13族の不純物元素を半導体層にドーピングする方法が用いられる。

【0007】15族の不純物元素をドーピングすることでn型半導体層が形成され、13族の不純物元素をドーピングすることでp型半導体層が形成され、半導体層にソース領域あるいはドレイン領域が形成される。

【0008】一方でTFTの特性の一つにオフ電流（TFTがオフ動作時にチャネル領域を流れる電流のことをいい、本明細書では I_{off} と呼ぶ）がある。TFTの特性を評価する際に、この I_{off} の値が小さいことが要求される。

【0009】 I_{off} の値を小さくするためにはゲート電極の外側に位置する半導体層に第1のLDD (Lightly Doped Drain) 領域を形成することが望まれる。

【0010】またTFTが駆動状態の時(即ち、オン動作時)にチャネル領域にホットキャリアが発生すると半導体素子の劣化の原因になる。それを防ぐためにはゲート電極と重なる半導体層に第2のLDD領域を形成することが望まれる。

【0011】なおゲート電極とゲート絶縁膜を介して重なっているLDD領域を有する半導体装置はGOLD (Gate-drain overlapped LDD) 構造として知られている。

【0012】なおGOLD構造は、LATID (Large-tilt-angle implanted drain) 構造、またはITLDD (Inverse T LDD) 構造等としても知られている。そして、例えば「Mutsuko Hatano, Hajime Akimoto and Takeshi Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997」では、シリコンで形成したサイドウォールによるGOLD構造であるが、他の構造のTFTと比べ、極めて優れた信頼性が得られていることが確認されている。

【0013】

【発明が解決しようとする課題】TFTを備えた半導体装置を作製する上でフォトリソからなるマスクを形成するには前後に多くの工程を必要とする。例えば、基板洗浄、レジスト材料塗布、プリバーク、露光、現像及びポストバーク等である。

【0014】また、前記フォトリソからなるマスクはエッチング処理またはドーピング処理後に除去する必要がある、除去する際にも多くの工程を要する。例えば、 O_2 、 H_2O あるいは CF_4 などから選ばれたガスによるアッシング処理、各種薬液を利用した剥離処理あるいは前記アッシング処理と薬液を用いた処理とを組み合わせた剥離処理などがある。この時、薬液を用いた剥離処理には薬液処理、純水でのリンス処理、基板乾燥等の工程が必要となる。

【0015】そのためフォトリソからなるマスクを用いることは半導体装置の作製工程数を増加させてしまうという問題があった。

【0016】また、半導体装置の微細化に伴い、マスク形成にも微細な位置合わせが要求されている。微細な位置合わせはレジストマスクの形成不良を引き起こし、そのリペアに費やす時間が工程時間の増加を引き起こし、製造コストを増加させる要因となっていた。

【0017】以上のように、半導体装置を作製する上でフォトリソからなるマスクを用いることは、工程数の増加、工程時間の増加を引き起こしそのために製造コストを増加させ、製品の歩留まりにも影響を与えていた。

【0018】そのため、マスク枚数を削減することは半導体装置の製造コストを削減することに有効である。

【0019】また、半導体装置に設けられたTFTの特性を考えた時に半導体層には上記第1のLDD領域が形成されている方が望ましく、TFTの特性項目の一つである I_{off} の値をひくくすることに有効である。

【0020】また、半導体装置の劣化を防ぐにはGOLD構造を有している方が望ましく、ゲート絶縁膜を挟んでゲート電極と重なるように半導体層に上記第2のLDD領域を形成することでチャネル領域とドレイン領域の界面に発生するホットキャリアを抑制することができ

る。

【0021】なお、本明細書では上記第1のLDD領域を L_{off} 領域と呼び、上記第2のLDD領域を L_{ov} 領域と呼ぶ。

【0022】しかし、 L_{off} 領域および L_{ov} 領域に不純物をドーピングするにはそれぞれフォトリソからなるマスクを半導体層に形成する必要があり、マスク枚数の増加に伴う工程数の増加が問題となっている。

【0023】また、 L_{off} 領域と L_{ov} 領域の間の位置上にゲート絶縁膜を挟んでゲート電極の端部が位置するGOLD構造の半導体装置ではフォトリソからなるマスク形成の際に微妙な位置合わせを必要とし、工程が複雑化していた。そのためにマスク形成時に位置合わせの不良などを引き起こすトラブルが発生することが多かった。

【0024】以上のことから、GOLD構造の半導体装置を形成するには、その微細な位置制御を要する構造上、マスク枚数の増加及びフォトリソからなるマスクの形成でのトラブルが大きな問題となり、半導体装置の製造コストの増加、製造に要する時間の増加及び製造歩留まりの低下を引き起こす要因となっていた。

【0025】そこで、GOLD構造の半導体装置のLDD領域を形成する際に、LDD領域を形成するためのフォトリソからなるマスクを用いずに自己整合的に L_{off} 領域及び L_{ov} 領域を形成することができないか研究していた本発明者らはゲート電極の材質及びドライエッチング方法を工夫することで、自己整合的に不純物元素をドーピングして L_{off} 領域及び L_{ov} 領域を形成する作製方法を発明した。

【0026】この方法を用いれば、自己整合的に半導体層に不純物元素をドーピングして L_{off} 領域及び L_{ov} 領域を形成することが可能となって、従来よりもマスク枚数を削減でき、マスク形成の際のトラブルも無くすることができる。従って、半導体装置の製造コスト、製造に要する時間を減少することができる。

【0027】

【課題を解決するための手段】半導体装置を作製する際、LDD領域を有していることが望ましい。また、半導体装置の劣化を抑えるにはGOLD構造が形成されていることが望ましい。しかし、従来では、このようなLDD領域を形成するにはレジストからなるマスクを形成

する必要があった。そのためにマスク枚数が増加し、製造コストの増加が問題となっていた。しかし、本発明により L_{off} 領域及び L_{ov} 領域を自己整合的に形成することが可能となり、半導体装置の製造工程に要するマスク枚数を削減でき、製造時間の短縮及び製造コストの削減が可能となる。

【0028】GOLD構造の半導体装置におけるゲート電極の端部は、ゲート絶縁膜を間に挟んでLDD領域の一部と重なるように構成されている。本発明ではゲート電極の形状をドライエッチングによりテーパ形状に加工し、加工したゲート電極をマスクに用いて自己整合的にドーピングすることを繰り返して行う。本発明は、こうすることによって半導体層にソース領域、ドレイン領域、 L_{off} 領域及び L_{ov} 領域を形成する。なお、ドーピングする時、ゲート電極の一部を不純物が通り抜けるようにドーピングすることでゲート電極と重なる半導体層に L_{ov} 領域を形成するため、半導体層にはそれぞれ不純物濃度の異なる不純物領域が形成される。

【0029】本発明は、半導体層を形成する第1の工程と、前記半導体層上にゲート絶縁膜を形成する第2の工程と、前記ゲート絶縁膜上に第1の導電膜を形成する第3の工程と、前記第1の導電膜上に第2の導電膜を形成する第4の工程と、前記第2の導電膜及び前記第1の導電膜に対してドライエッチングを1回または複数回行い第1の形状のゲート電極を形成する第5の工程と、前記半導体層に第1の不純物領域を形成する第6の工程と、前記第1の形状のゲート電極に対してドライエッチングを行い第2の形状のゲート電極を形成する第7の工程と、前記第2の形状のゲート電極を構成する第2の導電膜に対して選択的にドライエッチングを行い第3の形状のゲート電極を形成する第8の工程と、前記半導体層に第2の不純物領域を形成する第9の工程とを有する半導体装置の作製方法によって、前記半導体装置に自己整合的にGOLD構造を形成することを特徴としている。

【0030】上記本発明において、前記第1の導電膜と前記第2の導電膜は、それぞれタングステン、タンタル、チタン、モリブデンなどの高融点金属、または、これら金属を成分とする窒化物、または、これら金属を含む合金などから選ばれた材質を用いる。なお、前記第1の導電膜と前記第2の導電膜は異なる材質とする。

【0031】また、上記ドライエッチングには高密度プラズマを用いたドライエッチング法を適用し、プラズマ発生源の電力と基板側に負のバイアス電圧を発生させるバイアス電力を独立に制御できるエッチング装置を用いる。本発明者らの実験結果よりゲート電極端部のテーパ角度は基板側のバイアス電圧に依存することを見いだし、ドライエッチング装置のバイアス電力をより大きく設定することでゲート電極のテーパ角度をより小さくすることができるということがわかった。バイアス電力を適宜制御することによって、端部に $5 \sim 80^\circ$ のテー

パ角度を有するゲート電極を形成することができ、このゲート電極を不純物領域を形成する際のマスクに用いる。

【0032】また、本明細書中では便宜上、導電層の側斜面が水平面となす角度をテーパ角度（テーパ角とも言う）と呼び、このテーパ角度を有している側斜面をテーパ形状と呼び、テーパ形状を有している部分をテーパ部と呼ぶ。

【0033】また、前記第5の工程ではゲート電極の端部に $5 \sim 60^\circ$ のテーパ角度が形成されるようにドライエッチングを行い、第1の形状のゲート電極を形成している。

【0034】また、前記第7の工程では第5の工程でのドライエッチング条件よりも小さいバイアス電力の条件でドライエッチングする。バイアス電力を小さくすることでゲート電極端部のテーパ角度は前記第1の形状のゲート電極よりも大きくなる。このため第1の形状のゲート電極よりも幅の細い第2の形状のゲート電極が形成される。

【0035】前記第8の工程では前記第2の導電膜を選択的にドライエッチングする。前記第8の工程で第2の形状のゲート電極を構成する第2の導電膜における端部のテーパ角度を大きくする。一方、第8の工程では、第2の形状のゲート電極を構成する第1の導電膜はほとんどエッチングされないため、第1の導電膜に比べ第2の導電膜の幅が細くなった第3の形状のゲート電極を形成する。

【0036】不純物領域を形成するにはイオンドーピング法を用いている。イオンドーピング法の他にイオン注入法を用いることも可能である。本発明では不純物をドーピングする際フォトリソグラフィからなるマスクを用いずにゲート電極をマスクに用いている。そのために半導体装置を作製するためのマスク枚数を削減している。n型の半導体装置を形成するならば、前記第6の工程及び前記第9の工程においてリンやヒ素などに代表される15族の不純物元素をドーピングすればよく、p型の半導体装置を形成するならば、前記第6の工程及び前記第9の工程においてボロンなどに代表される13族の不純物元素をドーピングすればよい。

【0037】前記第6の工程では第1の形状のゲート電極をマスクに用いて不純物元素をドーピングすることでゲート絶縁膜を通り抜け、第1の形状の外側に位置する半導体層に第1の不純物領域が形成される。前記第1の不純物領域はソース領域あるいはドレイン領域となる。

【0038】前記第9の工程では第3の形状のゲート電極のうち第2の導電膜をマスクに用いて不純物元素をドーピングすることで第2の不純物領域を形成する。前記第9の工程でのドーピング条件は、第1の不純物領域を形成した時の条件よりも少ないドーズ量、高い加速電圧としてドライエッチングを行うことで半導体層には第1

の不純物領域よりも不純物濃度の低い第2の不純物領域が形成される。また、不純物元素は第3の形状のゲート電極のうち第1の導電膜及びゲート絶縁膜を通り抜けて半導体層にドーピングされる。第2の不純物領域のうち第3の形状のゲート電極の外側に L_{off} 領域が形成され、第2の導電膜と重ならない第1の導電膜と重なる領域に L_{ov} 領域が形成される。

【0039】以上の手段を用いることで、ソース領域、ドレイン領域、ゲート電極の外側に位置するLDD領域及びゲート電極と重なるLDD領域を有する半導体層と、ゲート絶縁膜と、ゲート電極を有するGOLD構造の半導体装置を形成する。また、この半導体装置を形成するまでに要したフォトマスクは島状の半導体層を形成する為のフォトマスクとゲート電極を形成する為のフォトマスクの2枚のみである。そのうちゲート電極を形成する為のマスクによりゲート電極を形成し、そのゲート電極を用いて自己整合的に半導体層にソース領域、ドレイン領域、 L_{off} 領域及び L_{ov} 領域を形成する。

【0040】上記手段を用いてマスク枚数を削減することで半導体装置の製造工程数、製造に要する時間を削減でき、製造コストの削減及び歩留まりの改善が可能となる。

【0041】また、上記の処理のほかにもドライエッチングや不純物ドーピングの処理順序及び条件を変えることで同じマスク枚数にて島状に形成された半導体層とゲート絶縁膜とゲート電極を有する半導体装置にGOLD構造を形成することができる。以下に上記構成とは他の例として具体的な製造プロセスを説明する。

【0042】半導体層を形成する第1の工程と、前記半導体層上にゲート絶縁膜を形成する第2の工程と、前記ゲート絶縁膜上に第1の導電膜を形成する第3の工程と、前記第1の導電膜上に第2の導電膜を形成する第4の工程と、前記第2の導電膜及び前記第1の導電膜に対してドライエッチングを1回または複数回行い第1の形状のゲート電極を形成する第5の工程と、前記半導体層に第1の不純物領域を形成する第6の工程と、前記第1の形状のゲート電極を構成する第2の導電膜に対して選択的にドライエッチングを行い第2の形状のゲート電極を形成する第7の工程と、前記半導体層に第2の不純物領域を形成する第8の工程と、前記第2の形状のゲート電極を構成する第1の導電膜に対して選択的にドライエッチングを行い第3の形状のゲート電極を形成する第9の工程とを有する半導体装置の作製方法によって、自己整合的にGOLD構造を形成することを特徴としている。

【0043】上記本発明において、前記第1の導電膜と前記第2の導電膜は、それぞれタングステン、タンタル、チタン、モリブデンなどの高融点金属、または、これら金属を成分とする窒化物、または、これら金属を含む合金などから選ばれた材質を用いる。なお、前記第1

の導電膜と前記第2の導電膜は異なる材質とする。

【0044】ドライエッチングにはプラズマ発生源の電力と基板側に負のバイアス電圧を発生させるバイアス電力を独立に制御できるドライエッチング装置、あるいは平行平板型のRIE装置を用いる。

【0045】また、前記第5の工程ではゲート電極の端部に $5 \sim 60^\circ$ のテーパ角度が形成されるようにドライエッチングを行い、第1の形状のゲート電極を形成する。

10 【0046】前記第7の工程では第1の形状のゲート電極のうち、第2の導電膜を選択的にエッチングする。前記第7の工程では、第5の工程でのドライエッチング条件よりも小さいバイアス電力の条件で処理する。バイアス電力を小さくすることで前記第2の導電膜端部のテーパ角度は前記第1の形状のゲート電極よりも大きくなる。第1の導電膜はほとんどエッチングされないため第1の導電膜よりも第2の導電膜のほうが幅の細い第2の形状のゲート電極が形成される。

20 【0047】不純物領域を形成するにはイオンドーピング法を用いている。イオンドーピング法の他にイオン注入法を用いることも可能である。前記第6の工程では第1の形状のゲート電極をマスクに用い、ゲート絶縁膜を通り抜けて不純物元素をドーピングすることで第1の形状の外側に位置する半導体層に第1の不純物領域を形成する。前記第1の不純物領域はソース領域あるいはドレイン領域となる。

30 【0048】前記第8の工程では第2の形状のゲート電極のうち第2の導電膜をマスクに用いて不純物元素をドーピングして第2の不純物領域を形成する。前記第8の工程のドーピング条件は、第1の不純物領域を形成した時の条件よりも少ないドーパ量、高い加速電圧で行い、半導体層に第1の不純物領域よりも不純物濃度の低い第2の不純物領域を形成する。また、不純物元素は第2の形状のゲート電極のうち第1の導電膜及びゲート絶縁膜を通り抜けて半導体層にドーピングされる。

40 【0049】前記第9の工程では前記第1の導電膜を選択的にドライエッチングする。第1の導電膜においては、第7の工程によって第2の導電膜と重ならない部分に非常に小さなテーパ角度が形成されている為、第1の導電膜は端部からエッチングされ細くなり、第3の形状のゲート電極を形成する。この時、第1の導電膜と重なる半導体層には第2の不純物領域が形成されており、第1の導電膜が細くなることにより第2の不純物領域の一部は第3の形状のゲート電極の外側に位置するようになる。前記第2の不純物領域の内、第3の形状のゲート電極外側に位置する領域は L_{off} 領域となり、第3の形状のゲート電極と重なる領域は L_{ov} 領域となる。

50 【0050】以上の手段を用いても、2枚のフォトマスク枚数でソース領域、ドレイン領域、 L_{off} 領域及び L_{ov} 領域が形成された半導体層と、ゲート絶縁膜とゲート

電極を有する半導体装置を形成することができる。

【0051】また、本発明は、ゲート電極の形成方法に特徴があると言える。

【0052】本発明は、絶縁表面上に形成された半導体層と、該半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含む半導体装置の作製方法であって、絶縁表面上に半導体層を形成する第1の工程と、前記半導体層上に絶縁膜を形成する第2の工程と、前記絶縁膜上に、第1の導電層と、前記第1の導電層の端部におけるテーパ角度より大きいテーパ角度を端部に有する第2の導電層との積層からなるゲート電極を形成する第3の工程とを含むことを特徴とする半導体装置の作製方法である。

【0053】また、上記本発明において、図3または図9に示したように前記半導体層の端部は、テーパ形状とすることが好ましい。

【0054】また、上記本発明において、前記第1の導電層の端部は、テーパ形状であることが好ましく、テーパ形状とするため、前記第3の工程は、塩素系ガス及びフッ素系ガス、若しくは、前記塩素系ガス及び前記フッ素系ガス及び O_2 を用いてドライエッチングを行った後、塩素系ガス及びフッ素系ガス及び O_2 を用いてドライエッチングを行うことでテーパ形状を端部に有するゲート電極を形成することを特徴としている。

【0055】なお、上記ゲート電極は、前記第1の導電層の端部におけるテーパ角度（ 60° 以下、好ましくは 5° 未満）より大きいテーパ角度（ $45^\circ \sim 80^\circ$ ）を端部に有する第2の導電層としたため、第2の導電層は、第1の導電層の幅より幅が狭いことを特徴としている。

【0056】なお、前記塩素系ガスは、 Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 から選ばれたガスである。また、前記フッ素系ガスは、 CF_4 、 SF_6 、 NF_3 から選ばれたガスである。

【0057】また、上記方法により得られるテーパ形状を有するゲート電極を備えた半導体装置も本発明の特徴の一つである。テーパ角度の異なる第1の導電層と第2の導電層からなるゲート電極を形成して不純物元素のドーピングを行えば自己整合的にGOLD構造のTFTを得ることができる。

【0058】その構成は、絶縁表面上に形成された半導体層と、該半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含む半導体装置であって、前記ゲート電極は、第1の導電層を下層とし、前記第1の導電層の端部におけるテーパ角度より大きいテ

ーパー角を端部に有する第2の導電層を上層とする積層構造を有し、前記半導体層は、絶縁膜を間に挟んで前記第2の導電層と重なるチャネル形成領域と、絶縁膜を間に挟んで前記第1の導電層と重なるLDD領域と、ソース領域及びドレイン領域とを有していることを特徴とする半導体装置である。

【0059】上記構成において、図3または図9に示したように前記半導体層の端部はテーパ形状であることを特徴としている。

10 【0060】また、上記構成において、図3または図9に示したように前記半導体層の端部は、前記ゲート電極と前記半導体層との間に設けられた絶縁膜に覆われていることを特徴としている。また、図3または図9に示したように前記絶縁膜のうち、ゲート電極近傍は、テーパ形状を有していることを特徴としている。

【0061】

【発明の実施の形態】本発明の実施の形態について本発明者らはいくつかの実験を行った。図1～4を用いて以下に説明する。ここでは、窒化タンタルを下層とし、タングステンを上層としたゲート電極構造を例に説明するが、このゲート構造に限定されず、タングステン、タンタル、チタン、モリブデン、銀、銅等から選ばれた元素、あるいは前記元素を成分とする窒化物、あるいは前記元素を組み合わせ合わせた合金を適宜選択して積層すればよい。

【0062】本発明では、エッチング装置にICP（Inductively Coupled Plasma）プラズマ発生源を有する装置（以下、ICP方式ドライエッチング装置とも呼ぶ）を用いた。ICP方式ドライエッチング装置の特徴はプラズマ発生源であるICP電力と基板側に負のバイアス電圧を発生させるバイアス電力をそれぞれ独立に制御できる点である。

【0063】（実験1）まず、上記ICP方式ドライエッチング装置を用いてタングステン（W）膜及び窒化タンタル（Ta₂N₅）膜をエッチングした場合の諸特性について説明する。

【0064】ICP方式ドライエッチング装置を用いた場合、そのエッチングで重要となるパラメーターにICP電力、バイアス電力、エッチングチャンバー圧力及び使用ガスとその流量がある。これらパラメーターの条件を振り分けてW膜及びTa₂N₅膜のエッチングレートを測定した。表1及び図1にその結果を示す。

【0065】

【表1】

条件	ICP [W]	バイアス [W]	圧力 [Pa]	CF ₄	Cl ₂	O ₂	E.R. ① [nm/min]	TaN E.R. ② [nm/min]	W/TaN選択比 ①÷②	W-TaN-角度 [deg]
1	500	20	1.0	30	30	0	58.97	66.43	0.889	80
2	500	60	1.0	30	30	0	88.71	118.46	0.750	25
3	500	100	1.0	30	30	0	111.66	168.03	0.667	18
4	500	20	1.0	25	25	10	124.62	20.67	6.049	70
5	500	60	1.0	25	25	10	161.72	35.81	4.528	35
6	500	100	1.0	25	25	10	176.90	66.32	3.008	32
7	500	150	1.0	25	25	10	200.39	80.32	2.495	26
8	500	200	1.0	25	25	10	218.20	102.87	2.124	22
9	500	250	1.0	25	25	10	232.12	124.97	1.860	19
10	500	20	1.0	20	20	20	- (*)	14.83	-	-
11	500	60	1.0	20	20	20	193.02	14.23	13.695	37
12	500	100	1.0	20	20	20	235.27	21.81	10.856	29
13	500	150	1.0	20	20	20	276.74	38.81	7.219	26
14	500	200	1.0	20	20	20	290.10	45.30	6.422	24
15	500	250	1.0	20	20	20	304.34	50.25	6.091	22

(*) セル内の-はエッチング時にW表面が変質したため測定不可。

【0066】なお、エッチングレート測定に使用したサンプル構造はコーニング社製#1737基板上にスパッタリングにてW膜を400nmあるいはTaN膜を300nm成膜し、フォトリソなどによる適当な形状のマスクを用いて適当な時間にてW膜あるいはTaN膜をハーフエッチングする。その後、W膜あるいはTaN膜のエッチング量を段差測定器にて測定し、そのときのエッチング時間からエッチングレートを算出した。結果を表1及び図1に示す。

【0067】表1では、ICP電力を500Wとし、チャンパー圧力を1.0Paで固定し、バイアス電力及び使用ガスの条件を振り分けてエッチングレートを評価している。

【0068】表1及び図1(A)はW膜のエッチングレートのバイアス電力及び使用ガスの依存性を示すデータである。バイアス電力の増加と使用ガスに酸素(O₂)を添加させることでW膜のエッチングレートが増加していることがわかる。

【0069】一方、表1及び図1(B)はTaN膜のエッチングレートのバイアス電力及び使用ガスの依存性を示すデータである。上記W膜のエッチングレートと同様にバイアス電力の増加に伴いTaN膜のエッチングレートは増加するが、使用ガスに酸素を添加することでエッチングレートは減少していることがわかる。

【0070】表1のデータをもとにTaN膜に対するW膜の選択比(W膜エッチングレートとTaN膜エッチングレートの比)を求めると、表1及び図1(C)に示したように使用ガスに酸素が添加されていない状態では1未満であった選択比がエッチングガスに酸素を添加することで最大13.695まで増加することがわかった。

【0071】(実験2)この結果を検証するために、本発明者らはガラス基板上にTaN膜を成膜しさらにその上にW膜を成膜して積層構造としたサンプルを表1に示す条件の中から選出し、実際にエッチングを行った。エッチング条件及び結果の光学顕微鏡写真を図2に示す。

【0072】図2は、コーニング社製#1737ガラス

基板にシリコンを主成分とする絶縁膜を成膜し、その上に熱またはレーザーにより結晶化されたシリコン201が島状の半導体層として55nmの厚さで形成されている。なお、前記絶縁膜層はガラス基板からの不純物の放出を防ぐために形成されたもので絶縁性を有するものであれば膜質及び膜厚は問わない。

【0073】前記絶縁膜上の前記島状半導体層を覆うようにしてゲート絶縁膜が形成されている。

【0074】前記ゲート絶縁膜上に第1の導電膜となるTaN膜を30nmの厚さで形成し、さらに前記第1の導電膜上に第2の導電膜となるW膜を370nmの厚さで形成して、フォトリソによりゲート電極及びゲート配線のマスク202を形成した。

【0075】表1において条件7(ICP電力を500W、バイアス電力を150W、チャンパー圧力を1.0Paとする。ガスはCl₂、CF₄及びO₂を使用する。ガスの流量はそれぞれCl₂を25sccm、CF₄を25sccm、O₂を10sccmである。)を用いて第2の導電膜を選択的にエッチングしたのが図2(A)である。

【0076】また、図2(B)は条件7によりW膜を選択的にエッチングした基板を続けて表1の条件1(ICP電力を500W、バイアス電力を20W、チャンパー圧力を1.0Paとし、ガスはCl₂、CF₄を使用する。ガスの流量はCl₂を30sccm、CF₄を30sccmである。)を用いてW膜及びTaN膜をエッチングした後のゲート電極の写真である。

【0077】図2(A)では、W膜がテーパ角度26°のテーパ形状を有し、その端部203がレジストマスクの外側に700~800nm程度はみ出しており、さらにその外側にはTaN膜204がエッチングされずにゲート絶縁膜に残っているのがわかる。

【0078】図2(B)は、TaN膜及びW膜を同時にエッチングしており、テーパ形状のW膜の外側に残っていたTaN膜は完全にエッチングされている。

【0079】表1で求められたW膜とTaN膜の選択比を

元に実験2を行ったが、実際にTaN膜とW膜の積層構造を有するサンプルでも選択的にエッチングができることが確認できた。また、実験1、及び実験2でW膜のエッチング後の形状からW膜のテーパ角度とバイアス電力に相関関係があることがわかった。

【0080】(実験3)次に、W膜のエッチングによるテーパ角度を測定した。コーニング社製#1737ガラス基板にシリコンを主成分とする絶縁膜を成膜し、その上にW膜を400nm成膜し、次にフォトリソからなる3.5μmラインのマスクをパターンニングした。この時、フォトリソ端部には60°のテーパ角度が形成されている。

【0081】なお、前記絶縁膜はW膜のエッチング中にガラス基板からの不純物放出を防ぐために設けられたものでW膜のエッチング条件に対して選択性があるものならば種類や膜厚は問わない。上記サンプルをバイアス電力及び使用ガスを振り分けてエッチングし、断面形状をSEM(Scanning Electron Microscopy)にて観察しテーパ角度を計測した。

【0082】表1及び図1(D)に結果を示す。バイアス電力が50~250Wの間で増加するとW膜のテーパ角度は37~18°まで緩やかに小さくなるがバイアス電力が20Wの時はテーパ角度70~80°となり垂直に近い形状となる。

【0083】本発明は、ゲート電極を第1の導電膜からなるゲート電極及び該ゲート電極の上に形成された第2の導電膜からなるゲート電極の2層構造とし、ドライエッチングにおける使用ガスを制御することで第2の導電膜からなるゲート電極を選択的にエッチングすること、及びドライエッチングにおいて基板側に負のバイアス電圧を発生させるバイアス電力を制御することでゲート電極の端部のテーパ角度を制御を特徴とする半導体装置の製造方法であり、ゲート電極の形状を自在に加工し、ドーピング時のマスクに使うことで自己整合的にソース領域、ドレイン領域、L_{off}領域及びL_{ov}領域を有するLDD領域に不純物をドーピングし、ソース領域、ドレイン領域、L_{off}領域及びL_{ov}領域を形成することを特徴とする半導体装置の製造方法である。

【0084】(実施の形態)つぎに、ゲート電極の一方の端部を示す断面図である図3を用いて前記実験1、実験2及び実験3の結果を利用して実際にゲート電極をマスクとしたドーピングにより自己整合的に半導体層にソース領域、ドレイン領域、L_{ov}領域及びL_{off}領域を形成する方法を詳しく説明する。

【0085】まず、以下のようなサンプルを用意する。ガラス基板301上にガラス基板からの不純物の拡散を防ぐためにシリコンを主成分とする絶縁膜202を形成する。次に島状に形成された半導体層303とそれを覆うように形成された第1の形状のゲート絶縁膜304Aからなるサンプルを用意する。

【0086】前記サンプルに第1の導電膜となるTaN膜を30nmの膜厚で成膜し、前記第1の導電膜上に第2の導電膜となるW膜を370nmの膜厚でスパッタにて成膜する。前記島状の半導体層とチャネル領域で重なるようにフォトリソにてマスクを形成する。

【0087】第1のドライエッチングを行う。(図3(A))エッチング条件はICP電力を500W、バイアス電力を150W、チャンバー圧力を1.0Paとし、ガスはCl₂、CF₄、O₂を使用する。ガス流量はそれぞれCl₂を25sccm、CF₄を25sccm、O₂を10sccmとする。このエッチング条件は図1に示した7の条件であり、W膜にテーパ角度26°のテーパ形状を形成することができ、TaN膜に対するW膜の選択比は約2.5である。ここでは、この条件を用いてW膜を選択的にドライエッチングする。なお、エッチングではプラズマの発光強度をモニタリングし、W膜のエッチング終了点を検出する。

【0088】終了点検出後、エッチング残渣などが発生しないようにオーバーエッチングを行うことが望ましいが、長時間のオーバーエッチングによりTaN膜が過剰にエッチングされてしまうのを防ぐため、ここでは10%のオーバーエッチングを行った。

【0089】上記第1のドライエッチングにより、第2の導電膜であるW膜は26°のテーパ角度を有する第1の形状のゲート電極(第2の導電層)306Aとなり、第1の導電膜であるTaN膜はオーバーエッチングにより13~14nmエッチングされるが基板に対して全面に残っている状態となり、第1の導電膜305Aとなる。

【0090】また、上記第1のドライエッチングはエッチングガスにCl₂、BCl₃、SiCl₄、CCl₄などの塩素系ガス、CF₄、SF₆、NF₃などのフッ素系ガス及びO₂から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0091】このとき、ゲート絶縁膜304Aは、TaN膜がストッパー層の役割をするためエッチングされない。

【0092】続けてフォトリソを除去せず、第2のドライエッチングを行う。エッチング条件はICP電力を500W、バイアス電力を20W、チャンバー圧力を1.0Paとし、ガスはCl₂及びCF₄を使用した。ガス流量はそれぞれCl₂を30sccm、CF₄を30sccmとした。これは表1に示した1の条件であり、W膜及びTaN膜はほぼ同じエッチングレートでエッチングされ、第2の形状のゲート電極305B、306Bとなる。

【0093】また、第2のドライエッチングの際、TaN膜のオーバーエッチング時に第1の形状のゲート絶縁膜は13.8~25.8nm程度エッチングされ、第2の形状のゲート絶縁膜304Bとなる。

【0094】また、第2のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0095】次に、フォトレジストを除去せず、第1のドーピングを行い、半導体層303にソース領域及びドレイン領域を形成する。ここではn型半導体層を形成するためリンをドーピング量 $1.5 \times 10^{15} \text{ atoms/cm}^2$ 、加速電圧80kVでドーピングした。リンがドーピングされた半導体層にはn型のソース領域及びドレイン領域308が形成される。(図3(B))

【0096】次に、フォトレジストを除去せず、第3のドライエッチングを行う。(図3(C)) フォトレジスト307Aは第2のドライエッチングにより第2の形状のフォトレジスト307Bとなっている。第3のドライエッチングのエッチング条件はICP電力を500W、バイアス電力を20W、チャンパー圧力を1.0Paとした。ガスは Cl_2 及び CF_4 を使用した。ガス流量はそれぞれ Cl_2 を30sccm、 CF_4 を30sccmとした。

【0097】この第3のドライエッチングによりW膜及びTa₂N膜は共にエッチングされる。上記第1及び第2のドライエッチングにより形成されたゲート電極のテーパー部は第3のドライエッチングにより、より大きな角度となってゲート電極の幅は細くなり、第3の形状のゲート電極305C、306Cが形成される。

【0098】この第3のドライエッチングの際、第2の形状のゲート電極305Bと重ならない第2の形状のゲート絶縁膜304Bは若干エッチングされる。また第2の形状のゲート電極がエッチングされて、第3の形状の

ゲート電極へと幅が細くなるにしたがいプラズマに曝されるゲート絶縁膜も徐々にエッチングされ、テーパー形状を有する第3の形状のゲート絶縁膜304Cが形成される。ここでは、第3のドライエッチングを行うことで約60nmのゲート絶縁膜がエッチングされる。

【0099】また、第3のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いることができる。

【0100】なお、第3のドライエッチングの際、W膜及びTa₂N膜のエッチングするガスに SF_6 を用いると、ゲート絶縁膜に対して高い選択比を得ることができるため好ましい。

【0101】第3のドライエッチングで使用するガスに SF_6 を用いる場合、例えば、ICP電力を500W、バイアス電力を10W、チャンパー圧力を1.3Paとして、 Cl_2 及び SF_6 をエッチングガスに用い、ガス流量をそれぞれ Cl_2 を20sccm、 SF_6 を40sccmとする。このときW膜のエッチングレートは129.5nm/min、またゲート絶縁膜のエッチングレートは14.0nm/minとなり、ゲート絶縁膜に対するW膜の選択比は9.61となる。この条件にて前記第3のドライエッチングを行うと、ゲート絶縁膜は5nm程度しかエッチングされない。

【0102】また、 Cl_2 及び SF_6 、あるいは Cl_2 、 SF_6 及び O_2 を用い、上記条件以外の条件にてW膜、 SiO_2 膜、Ta₂N膜のエッチングレートを評価する実験を行った。その実験結果を表2に示す。

【0103】

【表2】

・各エッチング条件におけるタングステン (W)、ゲート絶縁膜 (GI)、窒化タンタル (TaN) のエッチングレート (E. R.) および選択比

C12	SF6	O2	ICP	BIAS	PRESS	W E.R.	GI E.R.	TaN E.R.	選択比	
			[W]	[W]	[Pa]	[nm/min]	[nm/min]	[nm/min]	W/SiON	W/TaN
0	60	0	500	20	1.0	94.7	26.9		3.78	
10	50	0	500	20	1.0	90.3	28.3		3.43	
20	40	0	500	20	1.0	113.4	31.1		3.87	
30	30	0	500	20	1.0	105.6	37.6		2.98	
40	20	0	500	20	1.0	94.5	37.7		2.67	
20	40	0	500	10	1.3	129.5	14.0	85.1	9.61	1.52
20	40	0	500	20	1.3	185.1	44.3	137.5	4.45	1.35
20	40	0	600	30	1.3	173.0	57.2		3.19	
20	40	0	700	20	1.3	251.2	49.9	136.0	5.44	1.86
20	40	0	900	20	1.3	358.1	65.2		5.81	
20	40	0	700	10	1.3	274.3	29.8	107.4	9.33	2.56
10	50	0	500	20	1.3	140.6	27.6	144.1	5.43	0.98
10	50	0	500	10	1.3	104.3	12.8	111.2	8.36	0.94
30	30	0	600	20	1.3	153.1	48.2	116.4	3.36	1.32
0	60	0	500	20	1.3			146.5		
10	50	0	500	20	1.3			144.1		
20	40	0	500	20	1.3			137.5		
30	30	0	500	20	1.3			116.4		
40	20	0	500	20	1.3			86.1		
50	10	0	500	20	1.3			52.3		
25	25	10	600	20	1.0	131.1	32.7		4.25	
20	20	20	500	20	1.0	136.9	28.0		5.10	

【0104】第3のドライエッチングで使用するガスに、 Cl_2 及び SF_6 、あるいは Cl_2 、 SF_6 及び O_2 を用いる場合は、表2の条件を適宜選択して使用すればよい。

【0105】次いで、フォトレジストを除去せず、第4のドライエッチングを行う。(図3(D))なお、フォトレジスト307Bは第2のドライエッチングにより形状は変化し第3の形状307Cを有している。第4のドライエッチングのエッチング条件はICP電力を500W、バイアス電力を20W、チャンパー圧力を1.0Paとし、使用ガスは Cl_2 、 CF_4 、 O_2 とした。ガス流量はそれぞれ Cl_2 を25sccm、 CF_4 を25sccm、 O_2 を10sccmとした。

【0106】この第4のドライエッチングにより、バイアス電力を20Wとすることで第3の形状のゲート電極(W膜)の端部にさらに大きな70°のテーパ角度を形成する。ゲート電極のW膜の幅をさらに細くし第4の形状のゲート電極306Dを形成する。第4のドライエッチングによりゲート電極305Dに比べ幅の細いゲート電極306Dを有する第4の形状のゲート電極が形成される。

【0107】また、この第4のドライエッチングにより、第3の形状のゲート電極のW膜を選択的にエッチングすることにより第4の形状のゲート電極のTaN膜の端部が露出する。第4のドライエッチングのエッチングガスに O_2 を添加したためにゲート電極の下層に設けられているTaN膜のエッチングレートは、表1より20.67nm/minであり、124.62nm/min

のエッチングレートを有するW膜に比べて遅いため、ほとんどエッチングされない。

【0108】従って、第4のドライエッチングにより、第4の形状のゲート電極の下層に設けられているTaN膜は、第3の形状のゲート電極の幅と同じ幅を有し、その端部にテーパ形状を有する第4の形状のゲート電極305Dが形成される。

【0109】また、第4のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0110】なお、第4のドライエッチングの際、第3の形状のゲート電極305Cと重ならない第3の形状のゲート絶縁膜304Cは、若干エッチングされて第4の形状のゲート絶縁膜304Dが形成される。

【0111】第3及び第4のドライエッチングにより第4の形状のゲート電極305Dと重ならないゲート絶縁膜は57~73nm程度エッチングされ、第1~第4のドライエッチングによりゲート絶縁膜は最大88nm程度エッチングされる。

【0112】ただし、第2、第3及び第4のエッチング、特に第3のエッチングにおいてエッチングガスに SF_6 を用いた場合、ゲート絶縁膜は最大20nm程度しかエッチングされない。

【0113】以上、第1、第2、第3及び第4のドライエッチングにより、ゲート電極305Dはゲート電極306Dよりもチャネル長方向に長い形状、即ち大きい幅

を有し、第4の形状のゲート絶縁膜304Dは前記ゲート電極（TaN膜）と重なる領域で第1の厚さを有する第1のゲート絶縁膜309と、前記第1ゲート電極の外側に第2の厚さを有する第2のゲート絶縁膜310と、前記第1の領域と前記第2の領域の間に第1の厚さから第2の厚さへ変化する第3のゲート絶縁膜311と、便宜上、前記第1のゲート絶縁膜309の内、前記第4の形状のゲート電極306Dと重なる第4のゲート絶縁膜312を有する形状となり、前記第4のゲート絶縁膜を含む第1のゲート絶縁膜が最も厚く、第2のゲート絶縁膜が最も薄くなっていることを特徴とするゲート絶縁膜及びゲート電極が形成された。

【0114】なお、前記第1、第2、第3及び第4のドライエッチングにおいて、第1及び第2のドライエッチングは同一チャンパーで条件を変更することにより連続的に処理すればよく、第3及び第4のドライエッチングについても同一チャンパーで条件を変更することにより連続的に処理すればよい。

【0115】上記第4のドライエッチングが終了したら第4のドライエッチングにより変形し第4の形状となったマスク307Dを除去する。ここでは、RIE方式のドライエッチング装置を用いてO₂ガスプラズマによりマスク307Dを除去した。

【0116】次に第4の形状のゲート電極をマスクに用いて第2のドーピングを行い半導体層303に自己整合的にLDD領域となるn型半導体層を形成する。（図3（E））ここでも便宜上、前記第1～第4のゲート絶縁膜における4つの領域に対応して、半導体層303にも領域を指定する。

【0117】第1のゲート絶縁膜の領域と重なる半導体層を第1の半導体層313とし、第3のゲート絶縁膜の領域と重なる半導体層を第3の半導体層314とし、第4のゲート絶縁膜の領域と重なる半導体層を第4の半導体層315とする。ここで第4の半導体層315はチャネル領域となり、半導体素子がonの時に電流が流れる領域である。

【0118】ただしソース領域あるいはドレイン領域308は第2のゲート絶縁膜に一致するので第2の半導体層308としてそのまま用いる。

【0119】この時、ゲート電極305D及び第1のゲート絶縁膜309を通して不純物が第1の半導体層313にドーピングされるようにすることが重要である。

【0120】ドーパントにリンを用いて、ドーピング条件をドーズ量 3.5×10^{12} atoms/cm²、加速電圧を90kVとすることで第1の半導体層313及び第3の半導体層314に第1のドーピングで形成したソース領域あるいはドレイン領域308よりも不純物濃度が低いn型のLDD領域を形成する。

【0121】前記LDD領域において第1の半導体層313はゲート絶縁膜309を挟んでゲート電極305D

と重なっているためL_{ov}領域となる。

【0122】第2のドーピングにより半導体層313から315及び308はそれぞれ不純物濃度の異なる半導体層となり、その不純物濃度はソース領域及びドレイン領域308における値が1番高く、チャネル領域315における値が1番低く、L_{off}領域314における値に比べL_{ov}領域313における値の方が低いことを特徴とする。

【0123】L_{off}領域に比べL_{ov}領域の不純物濃度が低くなるのは、L_{off}領域314及びL_{ov}領域313それぞれの上層に位置する膜及びそれらの膜厚差が異なるからである。半導体層上に形成された膜を突き抜けて半導体層に不純物をドーピングする場合、半導体層上の膜厚や膜質が異なると半導体層に到達する不純物量が異なり、半導体層の不純物濃度が異なってくる。

【0124】L_{off}領域314の上層には、前記第1の厚さから第2の厚さへと変化している第3のゲート絶縁膜311が形成されている。

【0125】一方、L_{ov}領域313の上層には前記第1の厚さを有する第1のゲート絶縁膜309が形成されており、前記第1のゲート絶縁膜上には第4の形状のゲート電極305Dが形成されている。

【0126】この為、不純物元素のドーピングを行った時、L_{off}領域に比べL_{ov}領域の不純物の到達量は少なくなり、L_{off}領域に比べL_{ov}領域の不純物濃度が低くなる。

【0127】上記本実施の形態ではゲート電極を2層とし、ゲート電極（W膜）の端部に26～70°のテーパ形状を形成すること、及びゲート電極（TaN膜）に対して選択的にゲート電極（W膜）をエッチングすることを特徴としてゲート電極を自在に加工した。そして前記ゲート電極をマスクに用いて不純物をドーピングすることで、自己整合的に島状の半導体層にソース領域、ドレイン領域、L_{ov}領域及びL_{off}領域を形成し、GOLD構造のn型の半導体装置を形成することができた。

【0128】また、上記本実施の形態でゲート電極をマスクに用いて自己整合的にL_{off}領域及びL_{ov}領域を有するLDD領域を形成したが、実際に半導体装置を作製するにはそれらのチャネル長方向の長さ（以降簡単にLDD長、L_{off}長及びL_{ov}長と呼ぶ）が半導体装置の特性に影響してくる。そして、その半導体装置の使用目的により前記LDD長、L_{off}長及びL_{ov}長の最適な長さは異なる。製造プロセスごとに前記LDD長、L_{off}長及びL_{ov}長の長さを制御することが要求される。

【0129】ここで再び図3を用いてLDD領域、L_{off}領域及びL_{ov}領域が形成される仕組みを説明する。

【0130】図3（B）より、LDD長は第2のドライエッチングにより形成された第2の形状を有するゲート電極305B及び306Bのレジストの外側に位置するテーパ部のチャネル長方向成分の長さに一致し、図3

(C) より、 L_{off} 長は第3のドライエッチングによりゲート電極305Bがチャンネル長方向にエッチングされた長さに一致し、また図3(C)より、 L_{ov} 長は第4のドライエッチングによりゲート電極306Bのみが選択的にエッチングされ、チャンネル長方向にエッチングされた長さに一致する。

【0131】つまりLDD長を制御するには第1及び第2のドライエッチングにより得られるゲート電極のテーパ部の角度を制御すればよく、 L_{off} 長を制御するには第3のドライエッチングによるゲート電極(Ta₂N₅膜)のエッチング量すなわちエッチング時間を制御すればよく、 L_{ov} 長を制御するには第4のドライエッチングによるゲート電極(W膜)のエッチング量すなわちエッチング時間を制御すればよい。

【0132】そこで第1及び第2のドライエッチングにより得られるゲート電極のテーパ角度を 26° として、第3及び第4のドライエッチングにおけるエッチング時間を振り分けた場合の L_{off} 長及び L_{ov} 長を測定し、表3にまとめた。

【0133】

【表3】

エッチング時間と L_{off} 長及び L_{ov} 長			
サンプル名	A	B	C
第3のエッチング時間[sec]	40	50	60
第4のエッチング時間[sec]	40	30	20
L_{off} 長[nm]	180	320	480
L_{ov} 長[nm]	780	620	420
LDD長[nm]	860	940	900

【0134】なお、ここでの第1の導電膜からなるゲート電極及び第2の導電膜からなるゲート電極の膜厚の合計は400nmで、LDD領域長は820nm程度となるが、実際には第3及び第4のドライエッチングによるレジストマスクのチャンネル長方向へのエッチングによって、さらに100nm程度長くなる。

【0135】第3及び第4のエッチング時間を合計80secとして3条件にて L_{off} 長及び L_{ov} 長の評価を行ったところ第3のエッチング時間を増加し第4のエッチング時間を減少させることで、 L_{off} 長は長くなり、 L_{ov} 長が短くなることが確認できた。 L_{off} 長及び L_{ov} 長はLDD長を最大とし、第3及び第4のドライエッチングによりそれらの長さを自在に制御できることを見出した。

【0136】(実施例)

【実施例1】本実施例では本発明の技術を用いて5枚のマスク枚数にてn型及びp型半導体層を有し、TFTを製作し、反射型の液晶ディスプレイを製造する工程を詳しく説明する。

【0137】本実施例ではバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスに属するコーニング社の#1737ガラス基板501を用いた。他にも石英基板やシリコンウェハー、あるいは耐熱性のあるプラスチック基

板を用いても良い。

【0138】基板501のTFTを製作する面に下地膜502を成膜する。これは基板501からの不純物の拡散を防ぐもので、酸化シリコン膜、窒化シリコン膜や酸化窒化シリコン膜などシリコンを主成分とした絶縁性を有する膜であれば良い。プラズマCVDもしくはスパッタ法にてこれら絶縁膜から1種もしくは2種類以上を選択し、必要に応じて積層して成膜すれば良い。本実施例では下地膜は2層構造とした。

10 【0139】1層目の絶縁膜502aをプラズマCVD法により、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される酸化窒化シリコン膜を10~200nm(好ましくは50~100nm)形成する。本実施例では1層目の下地膜502aを酸化窒化シリコン膜(組成比 $Si=32\%$ 、 $O=27\%$ 、 $N=24\%$ 、 $H=17\%$)とし、50nm成膜した。

【0140】次に、2層目の下地膜502bを成膜する。プラズマCVD法により SiH_4 及び N_2O を反応ガスとして成膜される酸化窒化シリコン膜502bを50~200nm(好ましくは100から150nm)の厚さに積層形成する。本実施例では膜厚100nmの酸化窒化シリコン膜502b(組成比 $Si=32\%$ 、 $O=59\%$ 、 $N=7\%$ 、 $H=2\%$)を形成した。

【0141】続けて、下地膜502上に半導体層503~507を成膜する。半導体層503~507はプラズマCVD法、スパッタ法など公知の手段により成膜した後レーザー結晶化や熱結晶化など公知の結晶化法を用いることにより非晶質層を結晶化し、パターンニング工程を経て島状の半導体層を形成する。半導体層は25~80nm(好ましくは30~60nm)の厚さで形成する。このとき半導体の材料にはシリコンやシリコンゲルマニウムなどの合金などで形成されるのが良い。

【0142】本実施例では、プラズマCVD法により非晶質シリコン膜を55nm成膜した後、ニッケルを含む溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜を500℃に加熱した炉にて1時間熱処理し脱水素化を行い、その後炉の温度を上昇し、550℃にて4時間熱結晶化を行う。さらに結晶化を促すためレーザーアニール処理を行って結晶質シリコン膜を形成した。

【0143】また、非晶質シリコン膜を形成する際、1層目の下地膜502aと2層目の下地膜502bと半導体層503~507の界面に不純物などによる汚染を防ぐために下地膜502bと同一チャンバーまたは真空排気された予備室を経由して別のチャンバーにて大気に曝すことなく連続で成膜することが望ましい。

【0144】この結晶質シリコン膜をフォトリソグラフィにより必要な部分をマスクし、ドライエッチングにて島状の半導体層503~507を形成した。ドライエッチングには CF_4 をはじめとするフッ素系ガス及び O_2 をプロセスガスに用いることでフォトリソと一

結晶質シリコン膜をエッチングすることで結晶質シリコン膜からなる半導体層の端部がテーパ形状となり、その後のゲート絶縁膜及び層間絶縁膜の成膜におけるカバレッジが良好になる。本実施例ではR I E装置を用い、エッチングチャンバー圧力13.3Pa、RF電力500Wとし、プロセスガスに $O_2=45\text{ sccm}$ 、 $CF_4=50\text{ sccm}$ 流入することで結晶質シリコン膜をエッチングし、端部にテーパ角度 $22\sim 38^\circ$ のテーパ形状有する結晶質シリコン膜からなる半導体層503～507を形成した。

【0145】半導体層503～507においてはTFTの閾値制御のため、チャンネル領域に微量な不純物元素（ボロンなど15族原子またはリンなどの15族原子）を添加しても良い。本実施例では半導体層503～507の全面にボロンをドーザ量 $5\times 10^{13}\text{ atoms/cm}^2$ 、加速電圧を30kVの条件でドーピングを行った。

【0146】ゲート絶縁膜508は半導体層503～507を覆うようにして絶縁膜上に形成される。ゲート絶縁膜508はプラズマCVD法またはスパッタ法など公知の方法を用いて、40～150nmの厚さで形成する。ゲート絶縁膜の材料にはシリコンを主体とした酸化膜及び窒化膜、またはタンタルやアルミなど金属の酸化膜を用いる。本実施例では、プラズマCVD法により115nmの厚さの酸化窒化シリコン膜（組成比Si=32%、O=59%、N=7%、H=2%）で形成した。また、本実施例においてはゲート絶縁膜508を単層にて形成したがシリコンを主体とした絶縁膜またはタンタルやアルミなど金属の酸化膜などから選ばれた材質を2層以上積層した構造としても良い。

【0147】また、酸化シリコン膜を用いる場合、プラズマCVD法によりTEOS（Tetraethyl Orthosilicate）と O_2 とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波（13.56MHz）電力密度0.5～0.8W/cm²で放電させて形成させることができる。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0148】次に、ゲート絶縁膜508上に第1の導電膜509と、第2の導電膜510を形成する。各導電膜には低抵抗率かつ耐熱性を有する材質であることが好ましく、タングステン、タンタル、チタン、モリブデン、銀、銅等から選ばれた元素あるいは前記元素を成分とする窒化物、あるいは前記元素を組み合わせた合金から形成する。

【0149】前記第1の導電膜509及び第2の導電膜510は、後の工程によりゲート電極及びゲート配線として機能する。本発明はゲート電極を2層にすることを特徴としており、下層の第1の導電膜509からなるゲート電極は20～100nmの膜厚を有し、上層の第2の導電膜510からなるゲート電極は100～400nm

mの膜厚を有しているゲート電極である。

【0150】本実施例では、第1の導電膜にTa₂Nを選び、スパッタ法にて30nm成膜した。第2の導電膜510は第1の導電膜509を成膜した装置と同じ装置にて成膜されることが望ましく、一つの成膜チャンバー内に複数のターゲットを有している装置、あるいは複数の成膜チャンバーを有している装置で連続的に成膜することが望ましい。同一装置にて大気に曝されることなく連続で成膜されることにより第1の導電膜と第2の導電膜との界面に不純物による汚染が生じないようにするためである。

【0151】第2の導電膜510にはタングステン

(W)を選び、同様にスパッタ法にて370nm成膜した。タングstenはプラズマCVD法により成膜することもできる。ただしゲート電極として使用するにはW膜の抵抗率を20μΩcm以下にすることが望ましい。本実施例では純度99.9999%または99.99%のタングstenターゲットを使いさらに成膜時に気相からの不純物の混入がないように十分配慮して成膜したことにより、抵抗率9～20μΩcmを実現することができた。

【0152】次に、フォトリソグラフィーによるレジストマスクを用いて前記第1の導電膜及び第2の導電膜をドライエッチングしてゲート電極及びゲート配線を形成する。第2の導電膜上にレジストマスク511～517を形成する。

【0153】本実施例において、ゲート電極のドライエッチングにはICP（InductivelyCoupled Plasma）方式のプラズマ発生源を搭載するドライエッチング装置を用いた。ここでは、図3と図5、図6を対応させながら説明する。図3には各ドライエッチング後のゲート電極305、ゲート電極306、及びゲート絶縁膜304、フォトリソレジスト307を詳細に示す。第1のドライエッチング工程では前記第2の導電膜306Aを選択的にエッチングし、第1の形状を有するゲート電極305A及びゲート配線、ゲート電極306A及びゲート配線を形成する。ここで図3にはゲート電極のみを図示し、ゲート配線に関しては図示しない。

【0154】本実施例では、ドライエッチング条件をICP電力を500W、バイアス電力を150W、エッチングチャンバー圧力を1.0Paとし、プロセスガスにCl₂、CF₄及びO₂を用いた。ガス流量はそれぞれCl₂を25sccm、CF₄を25sccm、O₂を10sccmとした。

【0155】また、ここでは、第2の導電膜であるタングstenを選択的にエッチングし、その端部にはテーパ角度約23°のテーパ形状を形成する。プロセスガスにO₂が入っていることでタングstenのエッチングレートが上昇しTa₂N膜のエッチングレートが減少するためゲート電極（W膜）が選択的にエッチングされ、バ

イアス電力を150Wに設定することでテーパ角度の小さいゲート電極が形成される結果となる。

【0156】また、第1のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0157】ゲート電極305Aはゲート電極306Aのオーバーエッチングにより13~14nm程度エッチングされるだけで基板全面に残っているためその下層に位置するゲート絶縁膜はエッチングされずに304Aに示した形状を有している。

【0158】続けて第2のドライエッチング工程を行う。フォトリソストによるマスクは第1のエッチングにより第1の形状307Aとなっている。このフォトリソスト307Aは除去しないでそのまま用いる。また、エッチングにおいては条件を切り替えて同じ装置、同じチャンパーにて処理を行えば良い。

【0159】ドライエッチングにおけるプロセスガス及びプロセス条件の変更により前記ゲート電極(TaN膜)及びゲート電極(W膜)を同時にエッチングし、第2の形状を有するゲート電極305B及びゲート電極306Bを形成する。本実施例ではICP電力を500W、バイアス電力を20W、エッチングチャンパー圧力を1.0Paとし、プロセスガスに Cl_2 及び CF_4 を用いた。ガス流量はそれぞれ Cl_2 を30sccm、 CF_4 を30sccmとした。

【0160】バイアス電力を第1のドライエッチング工程よりも小さくすることでゲート電極端部のテーパ角度が大きくなり、ゲート電極の幅は細くなる。さらにプロセスガスにおいて O_2 が含まれていない条件であることからタングステンおよびTaN膜は同時にエッチングされ、第2の形状を有するゲート電極305B及びゲート電極306Bが形成する。このときゲート絶縁膜304Aは第2のドライエッチング時に13.8~25.8nm程度エッチングされ、第2の形状のゲート絶縁膜304Bとなっている。

【0161】また、第2のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0162】第2の形状のゲート電極においてテーパ部とゲート絶縁膜を挟んで重なる半導体層は後の第3のドーピングを行うことによりLDD領域となる。本実施例ではゲート電極の膜厚が400nmでテーパ角度が約 26° であるので、LDD領域の長さは820nmとレジストマスクのチャンネル長方向へのエッチング量約100nmを合わせた長さとなる。

【0163】第2のドライエッチングによりレジストマ

スクは第2の形状307Bとなっている。このレジストマスク307Bを除去せずに続く第2のドーピング工程を行い、n型半導体層を形成する。第2の形状のゲート電極をマスクにソース領域あるいはドレイン領域にn型を付与する不純物元素(リンやヒ素に代表されるような15族の元素)をドーピングする。

【0164】本実施例ではリンをドーズ量 $1.5 \times 10^{15} \text{atoms/cm}^2$ 、加速電圧を80kVとしてドーピングすることで自己整合的にソース領域あるいはドレイン領域208~211に $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ の不純物領域を形成した。(図3(A))

【0165】なお、図3(A)が図5(B)と対応しており、第2の形状を有するゲート電極305Bが518~524に対応し、ゲート電極306Bが525~531に対応している。ただし、521、524、528、531はゲート電極ではない。また、ソース領域あるいはドレイン領域208~211は、532~536に対応している。ただし、536はソース領域、ドレイン領域ではない。

【0166】次にレジストマスクを除去せずに第3のドライエッチング工程を行う。第3のドライエッチング工程では前記第2の形状のゲート電極305B及びゲート電極306Bの両方をエッチングして、さらに第2の形状ではテーパ角度 26° 程度あったテーパ部をより大きな角度になるようにエッチングして第3の形状のゲート電極305C及びゲート電極306Cを形成する。

【0167】ゲート絶縁膜を挟んで第3の形状のゲート電極305Cと重ならない第2の形状のゲート電極305Bと重なる半導体層314は後の第3のドーピング工程により L_{off} 領域となる。第3のドライエッチング時間によって前記ゲート電極305Cのチャンネル長方向へのエッチング量を制御し、 L_{off} 領域の長さを制御する。

【0168】エッチング装置は再びICP方式ドライエッチング装置を用いる。エッチング条件はICP電力を500W、バイアス電力を20W、エッチングチャンパー圧力を1.0Paとした。ガスは Cl_2 及び CF_4 を用いた。ガス流量はそれぞれ Cl_2 を30sccm、 CF_4 を30sccmとした。第2の形状を有するゲート電極305B、306Bをエッチングして、上記のように第3の形状を有するゲート電極305C、306Cを形成する。この時、実質的に L_{off} 長となるゲート電極305Cのチャンネル長方向へのエッチング量が480nmとなるようにエッチング時間を調整した。

【0169】また、第3のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0170】第3のエッチングにより前記ゲート電極3

05Cと重ならないゲート絶縁膜はエッチングされ、第3の形状のゲート絶縁膜304Cとなる。

【0171】続けて第4のドライエッチング工程を行う。レジストマスクは第3のエッチングにより第3の形状307Cとなっている。このレジストマスク307Cは除去しないでそのまま用いる。エッチング条件を切り替えて同じ装置、同じチャンパーにて処理を行えば良い。第4のエッチングでは再びゲート電極306Cを選択的にエッチングする。ゲート電極305Cがエッチングされないような条件で処理することでゲート電極305Cのほうがゲート電極306Cに比べチャンネル長方向に長い形状を得る。

【0172】また、第3のエッチングにより得られる第4の形状のゲート電極において、ゲート絶縁膜を挟んでゲート電極(W膜)とは重ならないゲート電極(TaN膜)と重なる半導体層313は後の第3のドーピングにより L_{ov} 領域となる。

【0173】 L_{ov} 領域はLDD領域の長さから第3のドライエッチングにより決定した L_{off} の長さを引いた長さで形成される。

【0174】本実施例では、ICP電力を500W、バイアス電力を20W、エッチングチャンパー圧力を1.0Paとした。ガスは Cl_2 、 CF_4 及び O_2 を用いた。ガス流量はそれぞれ Cl_2 を25sccm、 CF_4 を25sccm、 O_2 を10sccmとした。第3の形状のゲート電極(W膜)を選択的にエッチングし、端部のテーパー角度をさらに大きくすることで第3の形状のゲート電極306Cよりも幅が細い第4の形状を有するゲート電極306Dを形成した。

【0175】また、ゲート電極(TaN膜)は約7nm程度しかエッチングされず、第3の形状のゲート電極305Cとはほぼ同じ幅の第4の形状のゲート電極305Dが形成される。

【0176】第4の形状のゲート電極305Dは、ゲート電極306Dに比べゲート電極の片側だけで評価した場合、420nm(ゲート幅全体では840nm)長い形状となり本実施例では420nmの L_{ov} 領域313を確保した。

【0177】また、第4のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0178】なお、図3(D)が図5(C)と対応しており、第4の形状を有するゲート電極305Dが538~544に対応し、ゲート電極306Dが545~551に対応している。ただし、541、544、548、551はゲート電極ではない。

【0179】第4のドライエッチング終了後、フォトリソにより形成されたマスク307Dを除去する。O

2アッシング、 H_2O アッシング、または O_2 、 H_2O の混合ガスによるアッシング、あるいは前記アッシングガスに窒素あるいは CF_4 などのフッ素系ガスを添加したアッシング処理、あるいは薬液での除去など公知の方法により除去すればよい。本実施例では、RIE方式のドライエッチング装置を用いて O_2 アッシングによりマスク307Dを除去した。

【0180】次に、LDD領域を形成するための第3のドーピング工程を行う。(図3(E))前記第4の形状のゲート電極306Dをマスクに用いて半導体層313及び314に前記ソース領域及びドレイン領域に比べ不純物濃度の低いn型半導体層を形成する。半導体層313ではゲート電極305D及びゲート絶縁膜309を突き抜けて L_{ov} 領域半導体層に不純物を注入する為、ドーピングの条件は低濃度かつ高い加速電圧で行う。

【0181】本実施例では、ドーズ量を 3.5×10^{12} atoms/cm²、加速電圧を90kVとすることで L_{off} 領域314及び L_{ov} 領域313を形成した。

【0182】なお、本実施例では第4のゲート電極エッチング後にレジストマスク307Dを除去したが、第3のドーピング後に行っても問題はない。

【0183】なお、図3(E)が図6(A)と対応しており、 L_{off} 領域314が557~561に対応し、 L_{ov} 領域313が562~566に対応している。ただし、556、561、566は L_{ov} 領域や L_{off} 領域として機能しない。

【0184】続けて、n型半導体として機能する素子を覆うように新たにフォトリソからなるマスク567を形成し第4のドーピング工程によりp型の半導体素子を形成する。(図6(B))その後p型半導体を寄与する元素をドーピングすることでp型半導体層570~575を形成する。

【0185】このとき、前記半導体素子570~575にはn型を寄与する不純物が添加されているが、p型を付与する不純物の濃度を $2 \times 10^{20} \sim 2 \times 10^{21}$ atoms/cm³となるようにドーピングすることでp型半導体素子として機能する上で問題は生じない。

【0186】本実施例ではボロンをドーズ量 3×10^{15} atoms/cm²、加速電圧を20~30kVとすることでp型半導体素子570~575を形成した。

【0187】フォトリソマスク576を除去した後、基板全面に第1の層間絶縁膜576を形成する。本工程ではプラズマCVD法により酸化窒化シリコンを150nm成膜したが、勿論スパッタなど他の方法を用いても良いし、酸化窒化シリコン膜に限らずシリコンを主成分とする絶縁膜であればよい。またシリコンを主成分とした絶縁膜において単層でも2種類以上の積層膜でも問題はない。

【0188】次に、半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネ

スアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700℃、代表的には500~550℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0189】なお、この活性化工程は前記第1の層間絶縁膜576の成膜前に行っても良いが、ここでは熱を加える工程となるのでゲート電極等に用いた材料が熱に弱い物質の場合はあらかじめシリコンなどを主成分とする酸化シリコン膜、窒化シリコン膜及び酸化窒化シリコン膜などを保護膜として形成するか、本実施例のように第1の層間膜を保護膜としても機能させておく事が望ましい。

【0190】その後、3~100%の水素雰囲気中、300~550℃で1~12時間の熱処理を行い、半導体層を水素化する工程を行う。

【0191】本実施例では、H₂100%、350℃雰囲気中で1時間の水素化を行った。なお、この水素化は水素プラズマ雰囲気中に行われてもよい。

【0192】次に、第1の層間絶縁膜576上にスピンドットにて形成可能なアクリルやポリイミドなどを代表とする有機樹脂膜からなる第2の層間絶縁膜578を形成する。第2の層間絶縁膜をスピンドットにて形成することで半導体装置が形成された基板の平坦化も目的としている。

【0193】本実施例では膜厚1600nmのアクリルを形成した。

【0194】その後、前記ソース領域、ドレイン領域あるいはゲート配線上に位置する前記ゲート絶縁膜537、第1の層間絶縁膜576及び第2の層間絶縁膜578をエッチングして中間配線579~588と接続するためのコンタクトホールを形成する。このとき各絶縁膜のエッチング方法はそれぞれの膜に合わせ中間配線の成膜におけるカバレージを良好にするためにテーパ角度45~80°のテーパ形状が得られるようにエッチングすればよく、例えばアクリルや、ポリイミドなどの有機絶縁膜及び第1の層間絶縁膜に用いられた酸化窒化シリコンなどはCF₄およびO₂などの混合ガスを用いればエッチングが可能である。しかし、半導体層上に形成されているゲート絶縁膜をエッチングするには半導体層に対し高い選択比が取れる条件にて処理しなくてはならない。半導体層シリコンに対しゲート絶縁膜である酸化窒化シリコンを選択的にエッチングするガスにはCHF₃、C₄F₈などがある。なお、CHF₃、C₄F₈もフッ素系ガスと言えるが、シリコンとの選択比が高いガスであり、本明細書中で呼んでいるフッ素系ガスとは使用用途が異なっているため、本明細書中ではフッ素系ガスに

含めないものとする。

【0195】本実施例では、RIE装置にてガスはCF₄、He、O₂を用いて、チャンバ圧力を66.7Pa、RF電力を500Wとして、ガス流量はそれぞれCF₄を5sccm、Heを40sccm、O₂を95sccmとして、第2の層間絶縁膜のアクリルをエッチングし、同じくRIE装置にてガスはCF₄、He、O₂を用いて、チャンバ圧力を40.0Pa、RF電力を300Wとして、ガス流量はそれぞれCF₄を50sccm、Heを35sccm、O₂を50sccmとして、第1の層間絶縁膜の酸化窒化シリコンをエッチングし、同じくRIE装置にてガスはCHF₃を用いて、チャンバ圧力を7.3Pa、RF電力を800W、ガスはCHF₃を35sccm流入して、半導体層に対してゲート絶縁膜の酸化窒化シリコンを選択的にエッチングした。

【0196】続いて、中間配線579~588を形成する。前記中間配線は画素電極及び反射電極としても機能するため反射率の高い金属材料を用いることが望ましく、本実施例ではTi及びAlとTiの合金膜を積層して形成した。スパッタ法を用いて、Ti膜厚を50nm成膜し、続けてAlとTiの合金膜を500nm連続成膜して積層構造とした。

【0197】フォトリソによるマスク形成後、塩素又は塩素を成分に含むガスを用いて前記中間配線をドライエッチングする。本実施例ではエッチングガスに塩素及び三塩化ホウ素を同じ割合で混合したガスを用いてドライエッチングし、中間配線579~588を形成した。

【0198】以上の様にして、nチャネル型TFT601、pチャネル型TFT602、nチャネル型TFT603を有する駆動回路606と、画素TFT604、保持容量605とを有する画素部607を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0199】次に、図8を用いて図7に示したアクティブマトリクス基板を適用した反射型アクティブマトリクス型液晶表示装置の作製方法を説明する。

【0200】まず、アクティブマトリクス上に樹脂膜をパターンニングして得られる柱状のスペーサ589を形成する。またスペーサの配置は任意に決定すればよい。なお、スペーサは数μmの粒子を散布して設ける方法でもよい。

【0201】次に、アクティブマトリクス基板の画素部に液晶を配向させるためのポリイミド樹脂等からなる配向膜590を設ける。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。

【0202】次に、対向基板591を用意する。対向基板には遮光膜592、透明電極593、及び配向膜59

4を形成する。遮光膜592はTi膜、Cr膜、Al膜などを150～300nmの厚さで形成する。

【0203】また、配向膜594にはラビング処理が施されている。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤595で貼り合わせる。

【0204】その後、両基板の間に液晶材料596を注入する。液晶材料には公知の液晶材料を用いればよい。例えばTN液晶の他に磁場に対して透過率が連続的に変化する電気光学応答性を示す無閾値反強誘電性混合液晶を用いることもできる。この無閾値反強誘電性混合液晶にはV字型の電気光学応答特性を示すものもある。液晶596を注入したら封止剤で完全に封止する。

【0205】この様にして図8に示す反射型のアクティブマトリクス型液晶表示装置が完成する。

【0206】[実施例2]本実施例では、実施例1において、ドライエッチングにてゲート電極を形成する際に、エッチングガスにSF₆を用いてゲート絶縁膜に対し、より高い選択比を得る方法を図3を用いて説明する。なお本実施例では、ゲート電極を成膜する工程まで及びゲート電極形成後の第3のドーピング以降の工程は実施例1とまったく同じなので表記しない。

【0207】実施例1に従って形成された積層構造の第1の導電膜305及び第2の導電膜306をフォトリソグラフィによるレジストマスク307を用いてドライエッチングする。なお、実施例1と同様に第1の導電膜にはTa₂N膜を、第2の導電膜にはW膜を用いた。

【0208】本実施例においてゲート電極のドライエッチングにはICP (Inductively Coupled Plasma) 方式のプラズマ発生源を搭載するドライエッチング装置を用いた。

【0209】第1のドライエッチングではICP電力を500W、バイアス電力を150W、エッチングチャンパー圧力を1.0Paとし、プロセスガスにCl₂、CF₄及びO₂を用いた。ガス流量はそれぞれCl₂を25sccm、CF₄を25sccm、O₂を10sccmとした。

【0210】第2の導電膜であるタングステンを選択的にエッチングし、その端部にはテーパ角度約23°のテーパ形状を形成する。プロセスガスにO₂が入っていることでタングステンのエッチングレートが上昇しTa₂N膜のエッチングレートが減少するためゲート電極(W膜)が選択的にエッチングされる。また、バイアス電力を150Wに設定することでテーパ角度の小さいゲート電極が形成される結果となる。

【0211】ゲート電極305Aはゲート電極(W膜)のオーバーエッチングにより13～14nm程度エッチングされるだけで基板全面に残っているためその下層に位置するゲート絶縁膜はエッチングされずに304Aの形状を有している。

【0212】なお、第1のドライエッチングにおいてはエッチングガスにCl₂、SF₆、O₂を用いてもよい。

【0213】続けて第2のドライエッチング工程を行う。フォトリソによるマスクは第1のエッチングにより第1の形状の307Aとなっている。このフォトリソ307Aは除去しないでそのまま用いる。また、エッチングにおいては条件を切り替えて同じ装置、同じチャンパーにて処理を行えば良い。

【0214】ドライエッチングにおけるプロセスガス及びプロセス条件の変更により前記ゲート電極(Ta₂N膜)及びゲート電極(W膜)を同時にエッチングし、第2の形状を有するゲート電極305B及びゲート電極306Bを形成する。本実施例ではICP電力を500W、バイアス電力を10W、エッチングチャンパー圧力を1.3Paとし、プロセスガスにCl₂及びSF₆を用いた。ガス流量はそれぞれCl₂を10sccm、SF₆を50sccmとした。

【0215】バイアス電力を第1のドライエッチング工程よりも小さくすることでゲート電極端部のテーパ角度が大きくなり、ゲートの幅は細くなる。また、このときのW膜のエッチングレートは104nm/min、Ta₂N膜のエッチングレートは111nm/minであり、ほとんど同じ速さでエッチングされる。第2の形状を有するゲート電極305B及びゲート電極306Bが形成される。

【0216】このとき、第1のドライエッチングで残っていたTa₂N膜は約8秒でエッチングされる。その後、Ta₂N膜のエッチング残渣を完全に除去する為に15秒程度のオーバーエッチングを行う。前記オーバーエッチングにより、Ta₂N膜の下層に位置するゲート絶縁膜は3.2nm程度エッチングされ、第2の形状のゲート絶縁膜304Bとなる。

【0217】第2の形状のゲート電極においてテーパ部とゲート絶縁膜を挟んで重なる半導体層は後の第3のドーピングを行うことによりLDD領域となる。本実施例ではゲート電極の膜厚が400nmでテーパ角度が約26°であるので、LDD領域の長さは820nmとレジストマスクのチャンネル長方向へのエッチング量約100nmを合わせた長さとなる。

【0218】第2のドライエッチングによりレジストマスクは第2の形状307Bとなっている。このレジストマスク307Bを除去せずに続く第2のドーピング工程を行い、n型半導体層を形成する。第2の形状のゲート電極をマスクにソース領域あるいはドレイン領域にn型を付与する不純物元素(リンやヒ素に代表されるような15族の元素)をドーピングする。

【0219】本実施例ではリンをドーズ量 1.5×10^{15} atoms/cm²、加速電圧を80kVとしてドーピングすることで自己整合的にソース領域あるいはドレイン領域208～211に $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³の

不純物領域を形成した。

【0220】次にレジストマスクを除去せずに第3のドライエッチング工程を行う。第3のドライエッチング工程では前記第2の形状のゲート電極305B及びゲート電極306Bの両方をエッチングして、さらに第2の形状ではテーパ角度 26° 程度あったテーパ部をより大きな角度になるようにエッチングして第3の形状のゲート電極305C及びゲート電極306Cを形成する。

【0221】ゲート絶縁膜を挟んで第3の形状のゲート電極305Cと重ならない第2の形状のゲート電極305Bと重なる半導体層314は後の第3のドーピング工程により L_{off} 領域となる。第3のドライエッチング時間から前記ゲート電極(TaN膜)のチャンネル長方向へのエッチング量を制御し、 L_{off} 領域の長さを制御する。

【0222】エッチング装置は再びICP方式ドライエッチング装置を用いる。エッチング条件はICP電力を500W、バイアス電力を10W、エッチングチャンバー圧力を1.3Paとした。ガスは Cl_2 及び SF_6 を用いた。ガス流量はそれぞれ Cl_2 を10sccm、 SF_6 を50sccmとした。第2の形状を有するゲート電極(TaN膜)及びゲート電極(W膜)をエッチングして、上記のように第3の形状を有するゲート電極305C及びゲート電極306Cを形成する。この時、実質的に L_{off} 長となるゲート電極(TaN膜)のチャンネル長方向へのエッチング量が480nmとなるようにエッチング時間を40秒とした。

【0223】第3のエッチングにより前記ゲート電極305Cと重ならないゲート絶縁膜は約5.8nmエッチングされ、第3の形状304Cとなる。なお、ここまでの工程でゲート絶縁膜は9.0nmエッチングされている。

【0224】続けて、第4のドライエッチング工程を行う。レジストマスクは第3のエッチングにより第3の形状の307Cとなっている。このレジストマスク307Cは除去しないでそのまま用いる。エッチング条件を切り替えて同じ装置、同じチャンバーにて処理を行えば良い。第4のエッチングでは再びゲート電極306Cを選択的にエッチングする。ゲート電極(TaN膜)がエッチングされないような条件で処理することでゲート電極(TaN膜)のほうがゲート電極(W膜)に比べチャンネル長方向に長い形状を得る。

【0225】また、第4のエッチングにより得られる第4の形状のゲート電極において、ゲート絶縁膜を挟んでゲート電極(W膜)とは重ならないゲート電極(TaN膜)と重なる半導体層313は後の第3のドーピングにより L_{ov} 領域となる。

【0226】 L_{ov} 領域はLDD領域の長さから第3のドライエッチングにより決定した L_{off} の長さを引いた長さで形成される。

【0227】本実施例では、ICP電力を500W、バイアス電力を20W、エッチングチャンバー圧力を1.0Paとした。ガスは Cl_2 、 SF_6 及び O_2 を用いた。ガス流量はそれぞれ Cl_2 を20sccm、 CF_4 を20sccm、 O_2 を20sccmとした。第3の形状のゲート電極を選択的にエッチングし、端部のテーパ角度をさらに大きくすることで第3の形状のゲート電極306Cよりも幅が細い第4の形状を有するゲート電極306Dを形成した。

【0228】また、ゲート電極(TaN膜)は数nm程度しかエッチングされず、第3の形状のゲート電極305Cとほぼ同じ幅の第4の形状のゲート電極305Dが形成される。

【0229】第4の形状のゲート電極305Dはゲート電極306Dに比べ片側だけで420nm(ゲート幅全体では840nm)長い形状となり本実施例では420nmの L_{ov} 領域313を確保した。

【0230】第4のドライエッチングによりゲート絶縁膜は約0.5nmエッチングされる。また、第1、第2、第3及び第4のエッチングによりゲート絶縁膜がエッチングされる量は9.5nm程度である。実施例1で第1、第2、第3及び第4のエッチングによりゲート絶縁膜がエッチングされる量は最大で88nmであったが、本実施例では、エッチングガスに SF_6 を用いたためゲート絶縁膜との選択比がより高くなり、ゲート絶縁膜のエッチング量を約89%減少させることができた。

【0231】第4のドライエッチング終了後、フォトリソットにより形成されたマスク307Dを除去する。 O_2 アッシング、 H_2O アッシング、または O_2 、 H_2O の混合ガスによるアッシング、あるいは前記アッシングガスに窒素あるいは CF_4 などのフッ素系ガスを添加したアッシング処理、あるいは薬液での除去など公知の方法により除去すればよい。

【0232】本実施例では、RIE方式のドライエッチング装置を用いて O_2 アッシングによりマスク307Dを除去した。

【0233】以上の方法を用いることで実施例1と同様のゲート電極の形状を形成することができ、そのときのゲート絶縁膜へのエッチング量は9.5nmに抑えることができた。

【0234】なお、本実施例では第2、第3及び第4のドライエッチングにおいて SF_6 をエッチングガスに用いたが、実施例1のように適宜 CF_4 を用いた条件にてドライエッチングを行ってよい。例えば、第1、第2及び第4のドライエッチングには CF_4 を用いた条件にてエッチングし、第3のドライエッチングのみ SF_6 を用いた条件にてエッチングするようにしても良い。

【0235】ここでは、窒化タンタルを下層とし、タングステンを上層としたゲート電極構造を例に説明したが、このゲート構造に限定されず、タングステン、タン

タル、チタン、モリブデン、銀、銅等から選ばれた元素、あるいは前記元素を成分とする窒化物、あるいは前記元素を組み合わせた合金を適宜選択して積層すればよい。

【0236】[実施例3]本実施例では、実施例1に従って L_{ov} 領域及び L_{off} 領域を有するn型の半導体層を形成する方法で、ゲート電極のエッチングにおいて条件を実施例1とは異なる方法で処理し、またドーピングを行うタイミングを変えることで L_{off} 領域及び L_{ov} 領域の不純物濃度をほぼ同等にする方法を図9を用いて説明する。

【0237】実施例1のように、ガラス基板901上に絶縁膜902、結晶構造を有する島状の半導体層903、ゲート絶縁膜904、第1の導電膜905、第2の導電膜906、を形成し、フォトリソからなるマスク907を形成する。

【0238】なお、実施例1と同様に下層のゲート電極材料にはTaN膜を、上層のゲート電極材料にはW膜を用いた。また、ゲート電極のドライエッチングにはICP方式のプラズマ発生源を搭載するドライエッチング装置、あるいはRIE方式のドライエッチング装置を用いた。

【0239】実施例1と同様に、第1のドライエッチングを行う。ガスは Cl_2 、 CF_4 及び O_2 を用いて、ICP電力を500W、バイアス電力を150W、エッチングチャンバー圧力を1.0Paとし、ガス流量はそれぞれ Cl_2 を25sccm、 CF_4 を25sccm、 O_2 を10sccmでエッチングする。

【0240】この時、ゲート電極(W膜)が選択的にエッチングされ、端部にはテーパ角度 26° のテーパ形状が形成された第1の形状のゲート電極906Aが形成される。ゲート電極(TaN膜)はゲート電極(W膜)のオーバーエッチングにより13~14nm程度エッチングされるが基板全面に残っており、第1の形状のゲート電極905Aが形成される。

【0241】また、第1のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0242】この時、ゲート絶縁膜は第1の導電膜905Aが基板全面に残っているためエッチングされず、第1の形状のゲート絶縁膜904Aが形成されている。

【0243】続けて、実施例1と同様にレジストマスクを除去せずに第2のドライエッチングを行う。ガスは Cl_2 及び CF_4 を用いて、ICP電力を500W、バイアス電力を20W、エッチングチャンバー圧力を1.0Paとして、ガス流量をそれぞれ Cl_2 を30sccm、 CF_4 を30sccmとした。第1の形状のゲート電極905A及びゲート電極906Bを同時にエッチングし

て第2の形状のゲート電極905B及びゲート電極906Bを形成する。

【0244】この時、ゲート電極905Bの外側に位置するゲート絶縁膜904Aもエッチングされ、第2の形状のゲート絶縁膜904Bが形成される。

【0245】また、第2のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0246】次に、実施例1と同様に第2のドーピングを行う。なお第1のドーピングは結晶質シリコン膜からなる半導体層の形成後にTFETの閾値特性を制御するためチャネル領域に行われたドーピングとする。

【0247】n型を付与する不純物をドーピングすることで半導体層908にはソース領域あるいはドレイン領域が形成される。本実施例では不純物にリンを選び、ドーズ量 1.5×10^{15} atoms/cm²、加速電圧80kVにてドーピングした。

【0248】次に、第3のドライエッチングを行う。ここでもICP方式ドライエッチング装置を用い、レジストマスクを除去せずに行う。ガスは Cl_2 、 CF_4 及び O_2 を用いて、ICP電力を500W、バイアス電力を20W、エッチングチャンバー圧力を1.0Paとして、ガス流量はそれぞれ Cl_2 を25sccm、 CF_4 を25sccm及び O_2 を10sccmとした。

【0249】実施例1において第4のドライエッチングで用いられた条件で処理することでゲート電極(W膜)が選択的にエッチングされ第1及び第2の形状で得られたテーパ形状よりも大きな角度を有する第3の形状のゲート電極906Cが形成される。

【0250】ゲート電極(TaN膜)はほとんどエッチングされずに残っているが、ゲート電極(W膜)がチャネル長方向にエッチングされるにつれて露出するゲート電極(TaN膜)は端部から徐々にエッチングされ、 5° 未満の非常に小さなテーパ角度を有する第3の形状905Cが形成される。

【0251】また、第3のドライエッチングはエッチングガスに Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス及び O_2 から選ばれたガス、またはこれらを主成分とする混合ガスを用いても良い。

【0252】この時、第2の形状のゲート電極(TaN膜)の外側に位置する第2の形状のゲート絶縁膜904Bはエッチングされ、第3の形状のゲート絶縁膜904Cが形成される。

【0253】次に第3のドーピングを行う。第3の形状のゲート電極906Cをマスクに用いて、ゲート電極(W膜)と重ならず、ゲート電極(TaN膜)と重なる半導体層909にゲート電極905Cを突き抜けるよう

にn型を付与する不純物をドーピングする。

【0254】第3の形状のゲート電極905Cの端部は5°未満の非常に小さなテーパ角度を有しており、その膜厚は分布を持っている。前記膜厚分布に従い第3のドーピングでの半導体層の不純物濃度にもわずかな分布が生じるが、前記実施例1の時に生じた L_{off} 領域及び L_{ov} 領域の不純物濃度差より小さくなる。

【0255】本実施例ではリンを不純物に選び、ドーズ量 3.5×10^{12} atoms/cm²、加速電圧を90 kVとすることで半導体層909にはソース領域及びドレイン領域908よりも不純物濃度が低いn型のLDD領域909が形成される。

【0256】次に第4のドライエッチングを行う。第3の形状のゲート電極905Cをエッチングして第4の形状のゲート電極905Dを形成する。

【0257】第3の形状のゲート電極905Cの端部はテーパ形状を有しており、異方性にドライエッチングを行うことで第3の形状のゲート電極(TaN膜)の端部から第3の形状のゲート電極906Cと重なる位置に向かって徐々にエッチングされ、第4の形状のゲート電極905Dの幅は第3の形状のゲート電極905Cよりも細い形状となる。

【0258】第3の形状のゲート電極905Cと重なっていたLDD領域909の一部は第4のドライエッチングにより第4の形状のゲート電極の外側に位置するようになる。そのため前記LDD領域909は L_{off} 領域910及び L_{ov} 領域911となる。

【0259】ただし、ゲート電極(TaN膜)は非常に小さなテーパ角度を有する薄膜(TaN膜)のためエッチングレートが速いエッチング条件で処理するとゲート電極(TaN膜)はすべてエッチングされてしまう可能性がある。

【0260】本実施例では第4のドライエッチングに平行平板型RIE方式のドライエッチング装置を用いて、チャンバー圧力を6.7 Pa、RF電力を800 Wとして、ガスはCHF₃を35 sccm流入してエッチングした。なお、ここではRIE方式のドライエッチング装置を用いたが特に限定されず、ICP方式のドライエッチング装置を用いてもよい。

【0261】この時第4のドライエッチングにより第3の形状のゲート電極905Cと重ならない領域のゲート絶縁膜904Cはほとんどエッチングされるが、もしすべてのゲート絶縁膜がエッチングされたとしても半導体装置を製造する上で問題はない。その理由はエッチングガスにCHF₃を用いていることから半導体層であるシリコンに対してゲート絶縁膜を選択的にエッチングが可能であること。また、中間配線と半導体層を接続するためのコンタクトホールを形成する際にも実施例1における第1の層間絶縁膜である酸化窒化シリコンをエッチングする際、CHF₃など半導体層のシリコンと選択的に

エッチングが行える条件で行えばよいからである。

【0262】また、上記のようなCHF₃によるエッチングではTa₂N膜のエッチング量が不足する場合、Cl₂及びCF₄、あるいはCl₂、CF₄及びO₂をエッチングガスに用いて5~20秒程度エッチングし、予めTa₂N膜をエッチングしてからCHF₃を用いてエッチングしても良い。

【0263】第4のドライエッチングの後にフォトリジスト907を除去する。

【0264】本実施例を前記実施例1に適用することで、実施例1と同じく5枚のマスク枚数で L_{off} 領域及び L_{ov} 領域を有する半導体装置を作製することができ、 L_{off} 領域と L_{ov} 領域の不純物濃度が同等な半導体装置を作製することができる。

【0265】ここでは、窒化タンタルを下層とし、タングステンを上層としたゲート電極構造を例に説明したが、このゲート構造に限定されず、タングステン、タンタル、チタン、モリブデン、銀、銅等から選ばれた元素、あるいは前記元素を成分とする窒化物、あるいは前記元素を組み合わせた合金を適宜選択して積層すればよい。

【0266】[実施例4]本実施例では、実施例3においてドライエッチングにてゲート電極を形成する際に、エッチングガスにSF₆を用いてゲート絶縁膜に対し、より高い選択比を得る方法を図9を用いて説明する。なお、本実施例ではゲート電極を形成する工程以外は実施例3あるいは実施例1とまったく一緒なので、表記しない。

【0267】実施例3のようにガラス基板901上に絶縁膜902、結晶構造を有する島状の半導体層903、ゲート絶縁膜904、第1の導電膜905、第2の導電膜906を形成し、フォトリジストからなるマスク907を形成する。

【0268】なお、実施例3と同様に下層に設けられるゲート電極にはTa₂N膜を、上層に設けられるゲート電極にはW膜を用いた。また、実施例3と同様にゲート電極のドライエッチングにはICP方式のドライエッチング装置を用いた。

【0269】第1のドライエッチングを行う。ガスはCl₂、CF₄及びO₂を用いて、ICP電力を500 W、バイアス電力を150 W、エッチングチャンバー圧力を1.0 Paとし、ガス流量はそれぞれCl₂を25 sccm、CF₄を25 sccm、O₂を10 sccmでエッチングする。

【0270】この時、ゲート電極(W膜)が選択的にエッチングされ、端部にはテーパ角度26°のテーパ形状が形成された第1の形状のゲート電極906Aが形成される。第1の導電膜(TaN膜)はゲート電極(W膜)のオーバーエッチングにより13~14 nm程度エッチングされるが基板全面に残っており、第1の導電膜

(TaN膜) 905Aが形成される。

【0271】この時、ゲート絶縁膜は第1の導電膜(TaN膜) 905Aが基板全面に残っているためエッチングされず、第1の形状のゲート絶縁膜904Aが形成されている

【0272】なお、第1のドライエッチングにおいてはエッチングガスに Cl_2 、 SF_6 、 O_2 を用いてもよい。

【0273】続けて、レジストマスクを除去せずに第2のドライエッチングを行う。ガスは Cl_2 及び SF_6 を用いて、ICP電力を500W、バイアス電力を10W、エッチングチャンバー圧力を1.3Paとして、ガス流量をそれぞれ Cl_2 を10sccm、 SF_6 を50sccmとした。第1の導電膜905A及び第1の形状のゲート電極906Bを同時にエッチングして第2の形状のゲート電極905B及びゲート電極906Bを形成する。

【0274】この時、第1の形状のゲート電極(W膜)の外側に位置する第1の導電膜905Aは約8秒でエッチングされる。その後、TaN膜のエッチング残渣を完全に除去する為に15秒程度のオーバーエッチングを行う。前記オーバーエッチングにより、前記ゲート電極905Aの下層に位置するゲート絶縁膜904Aは3.2nm程度エッチングされ、第2の形状のゲート絶縁膜904Bが形成される。

【0275】次に、第2のドーピングを行う。なお第1のドーピングは半導体層の形成後にTFEの閾値特性を制御するためチャンネル領域に行われたドーピングとする。

【0276】n型を付与する不純物をドーピングすることで半導体層908にはソース領域あるいはドレイン領域が形成される。本実施例では不純物にリンを選び、ドーズ量 1.5×10^{15} atoms/cm²、加速電圧80kVにてドーピングした。

【0277】次に、第3のドライエッチングを行う。ここでもICP方式ドライエッチング装置を用い、レジストマスクを除去せずに行う。ガスは Cl_2 、 SF_6 及び O_2 を用いて、ICP電力を500W、バイアス電力を10W、エッチングチャンバー圧力を1.3Paとして、ガス流量はそれぞれ Cl_2 を20sccm、 SF_6 を20sccm及び O_2 を20sccmとした。

【0278】第1のドライエッチングよりも小さなバイアス電力で処理することで、ゲート電極(W膜)が選択的にエッチングされ第1及び第2の形状で得られたテーパー形状よりも大きな角度を有する第3の形状のゲート電極906Cが形成される。

【0279】ゲート電極(TaN膜)はほとんどエッチングされずに残っているが、ゲート電極(W膜)がチャンネル長方向にエッチングされるにつれて露出するゲート電極(TaN膜)は端部から徐々にエッチングされ、5°未満の非常に小さなテーパー角度を有する第3の形状905Cが形成される。

【0280】この時、第2の形状のゲート電極(TaN膜)の外側に位置する第2の形状のゲート絶縁膜904Bは約37.3nmエッチングされ、第3の形状のゲート絶縁膜904Cが形成される。ここまでのエッチングによりゲート絶縁膜は40.5nmエッチングされる。

【0281】実施例3において、第1、第2及び第3のドライエッチングによりゲート絶縁膜は約64.4nmエッチングされていたが本実施例のようにエッチングガスに SF_6 を用いることでゲート絶縁膜のエッチング量を約42%減少させることができた。

【0282】次に、第3のドーピングを行う。第3の形状のゲート電極906Cをマスクに用いて、ゲート電極(W膜)と重ならず、ゲート電極(TaN膜)と重なる半導体層909にゲート電極905Cを突き抜けるようにn型を付与する不純物をドーピングする。

【0283】第3の形状のゲート電極905Cの端部は5°未満の非常に小さなテーパー角度を有しており、その膜厚は分布を持っている。前記膜厚分布に従い第3のドーピングでの半導体層の不純物濃度にもわずかな分布が生じるが、前記実施例1の時に生じた L_{off} 領域及び L_{ov} 領域の不純物濃度差より小さくなる。

【0284】本実施例では、リンを不純物に選び、ドーズ量 3.5×10^{12} atoms/cm²、加速電圧を90kVとすることで半導体層909にはソース領域及びドレイン領域908よりも不純物濃度が低いn型のLDD領域909が形成される。

【0285】次に、第4のドライエッチングを行う。第3の形状のゲート電極905Cをエッチングして第4の形状のゲート電極905Dを形成する。

【0286】第3の形状のゲート電極905Cの端部においてはテーパー形状を有しており、異方性のドライエッチングを行うことで第3の形状のゲート電極(TaN膜)の端部から第3の形状のゲート電極906Cと重なる位置に向かって徐々にエッチングされ、第4の形状のゲート電極905Dの幅は第3の形状のゲート電極905Cよりも細い形状となる。

【0287】第3の形状のゲート電極905Cと重なっていたLDD領域909の一部は第4のドライエッチングにより第4の形状のゲート電極(TaN膜)の外側に位置するようになる。そのため前記LDD領域909は L_{off} 領域910及び L_{ov} 領域911となる。

【0288】ただし、ゲート電極905Cは非常に小さなテーパー角度を有する薄膜(TaN膜)のためエッチングレートが速いエッチング条件で処理するとゲート電極905Cはすべてエッチングされてしまう可能性がある。

【0289】本実施例では、第4のドライエッチングに平行平板型RIE方式のドライエッチング装置を用いて、チャンバー圧力を6.7Pa、RF電力を800Wとして、ガスは CHF_3 を35sccm流入してエッチ

ングした。

【0290】この時、第4のドライエッチングにより第3の形状のゲート電極905Cと重ならない領域のゲート絶縁膜904Cはほとんどエッチングされるが、もしすべてのゲート絶縁膜がエッチングされたとしても半導体装置を製造する上で問題はない。その理由はエッチングガスに CHF_3 を用いていることから半導体層（シリコン）に対してゲート絶縁膜を選択的にエッチングが可能であるからである。また、中間配線と半導体層を接続するためのコンタクトホールを形成する際にも実施例1における第1の層間絶縁膜である酸化窒化シリコンをエッチングする際、 CHF_3 などを用い、半導体層（シリコン）と選択的にエッチングが行える条件で行えばよいからである。

【0291】また、上記のような CHF_3 によるエッチングではTaN膜のエッチング量が不足する場合、 Cl_2 及び CF_4 、あるいは Cl_2 、 CF_4 及び O_2 を用いて5～20秒程度エッチングし、予めTaN膜をエッチングしてから CHF_3 を用いてエッチングしても良い。

【0292】また、 CF_4 の代わりに SF_6 を用いてエッチングしても良い。

【0293】第4のドライエッチングの後にフォトリソスト907を除去する。

【0294】以上の方法を用いることで、実施例3と同様のゲート電極の形状を形成することができ、第3のドライエッチング終了時のゲート絶縁膜のエッチング量は40.5nmに抑えることができた。

【0295】ここでは、窒化タンタルを下層とし、タングステンを上層としたゲート電極構造を例に説明したが、このゲート構造に限定されず、タングステン、タンタル、チタン、モリブデン、銀、銅等から選ばれた元素、あるいは前記元素を成分とする窒化物、あるいは前記元素を組み合わせた合金を適宜選択して積層すればよい。

【0296】[実施例5]上記各実施例1または実施例2を実施して形成されたTFTは様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施できる。

【0297】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図10、図11及び図12に示す。

【0298】図10（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部20

03、キーボード2004等を含む。本発明を表示部2003に適用することができる。

【0299】図10（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102に適用することができる。

【0300】図10（C）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205に適用できる。

【0301】図10（D）はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302に適用することができる。

【0302】図10（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することができる。

【0303】図10（F）はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部（図示しない）等を含む。本発明を表示部2502に適用することができる。

【0304】図11（A）はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808やその他の駆動回路に適用することができる。

【0305】図11（B）はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置2808やその他の駆動回路に適用することができる。

【0306】なお、図11（C）は、図11（A）及び図11（B）中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図11（C）中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機

能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0307】また、図11(D)は、図11(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図11(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0308】ただし、図11に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びEL表示装置での適用例は図示していない。

【0309】図12(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本発明を表示部2904に適用することができる。

【0310】図12(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003に適用することができる。

【0311】図12(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明は特に大画面化した場合、例えば、対角10インチ以上(特に30インチ以上)のディスプレイにも適用できる。

【0312】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1または実施例2のどのような組み合わせからなる構成を用いても実現することができる。

【0313】

【発明の効果】本発明を用いることでGOLD構造を有するTFTを自己整合的に作製でき、マスク枚数及び製造工程数を削減できる。このTFTを備えた半導体装置の特性は向上し、製造コストの削減、製造に要する時間の短縮及び歩留まりの改善が可能となる。

【0314】また、本発明により、GOLD構造のnチャネル型TFT及びpチャネル型TFTを5枚のマスク枚数により製造できる。

【図面の簡単な説明】

【図1】 W膜及びTa₂N膜のエッチング特性を示す図である。

【図2】 エッチング前後のゲート電極を観察した写真図である。

【図3】 ゲート電極のエッチング工程及びドーピング工程を示す図である。

【図4】 エッチング条件によるLDD領域の長さを示すグラフである。

【図5】 AM-LCDの作製工程を示す図である。

【図6】 AM-LCDの作製工程を示す図である。

【図7】 AM-LCDの作製工程を示す図である。

【図8】 反射型液晶表示装置の断面構造図である。

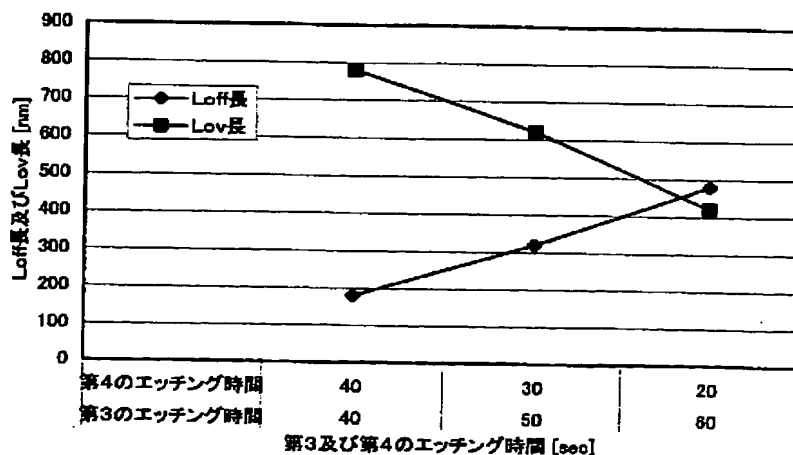
【図9】 ゲート電極のエッチング工程及びドーピング工程を示す図である。

【図10】 電子機器の一例を示す図。

【図11】 電子機器の一例を示す図。

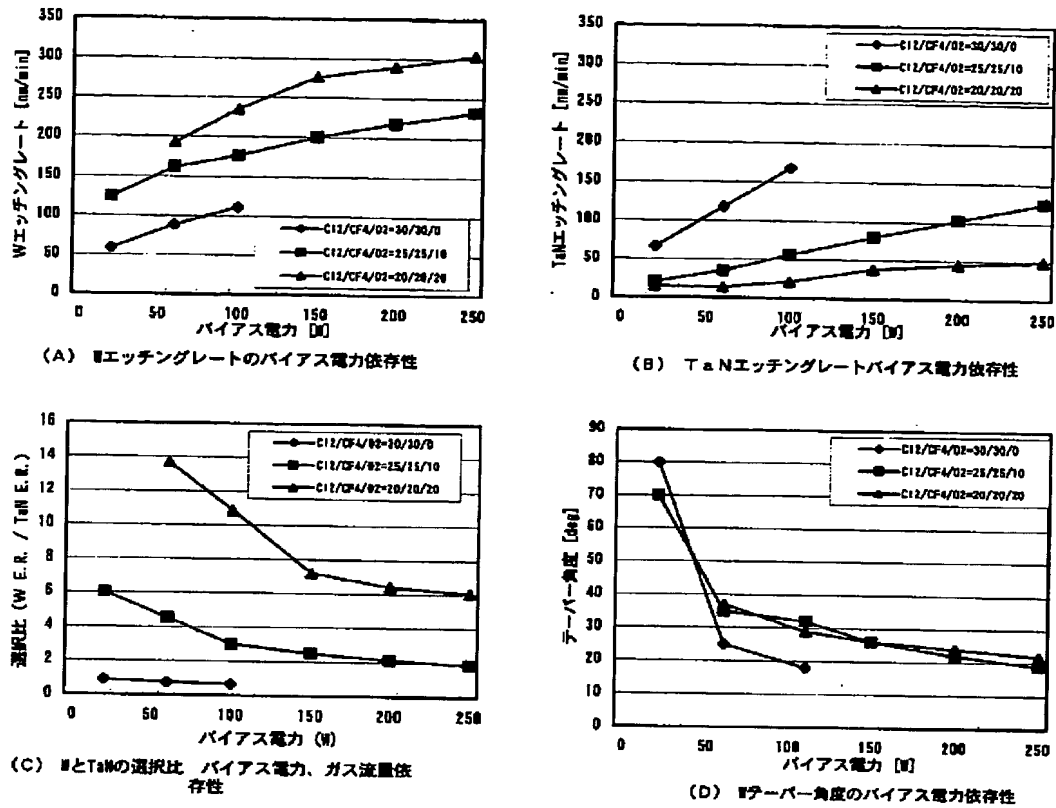
【図12】 電子機器の一例を示す図。

【図4】



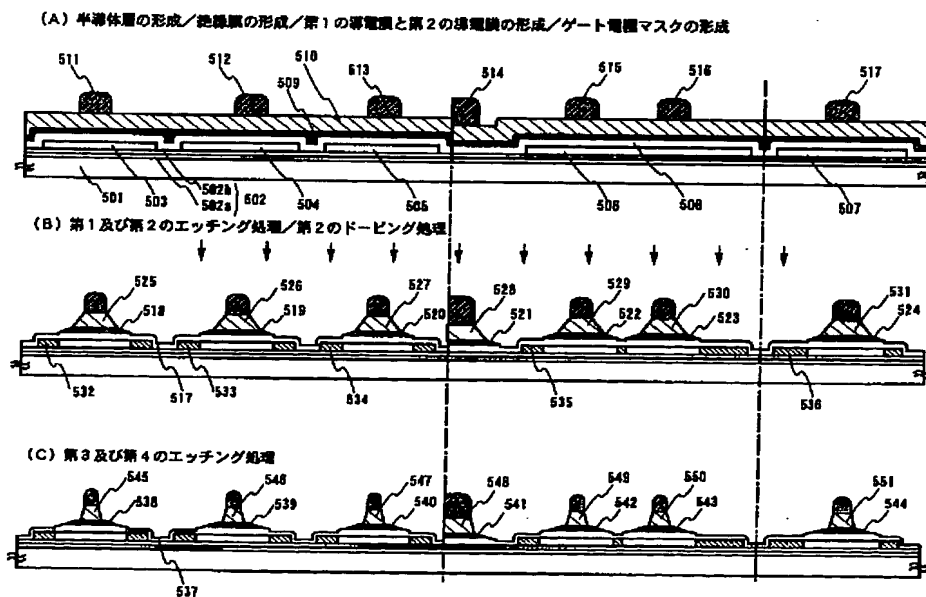
エッチング時間の変化によるLoff長及びLov長の変化

【図 1】

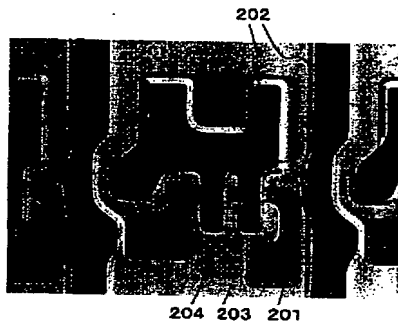


W, TaN条件依存性データ エッチングレート、選択比、テーパ角度

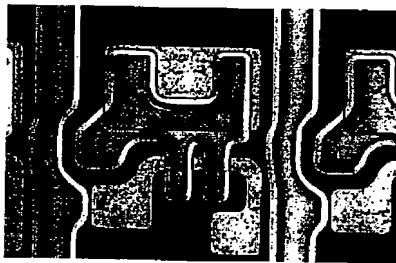
【図 5】



【図2】



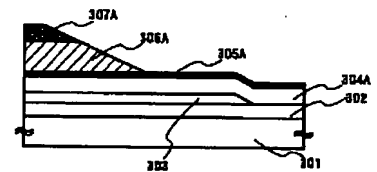
(A)
 (条件7): ICP電力500W、バイアス電力150W、チャンバー圧力1.0Pa、
 $Cl_2=25sccm$ 、 $CF_4=25sccm$ 、 $O_2=10sccm$



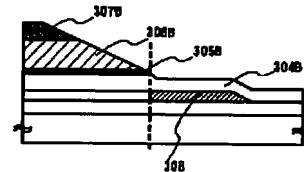
(B)
 条件7によるエッチング処理後に行う。
 (条件1): ICP電力500W、バイアス電力20W、チャンバー圧力1.0Pa、
 $Cl_2=30sccm$ 、 $CF_4=30sccm$

【図3】

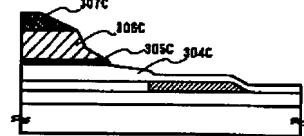
(A) 第1のドライエッチング



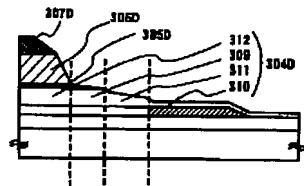
(B) 第2のドライエッチング
ドーピング



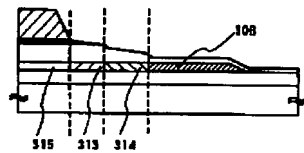
(C) 第3のドライエッチング



(D) 第4のドライエッチング

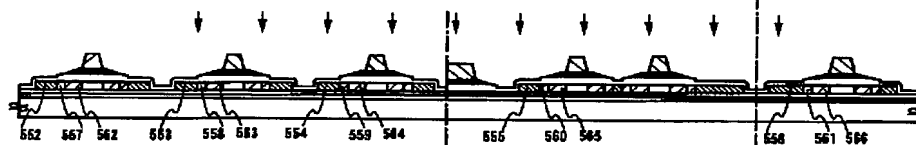


(E) レジスト剥離
ドーピング

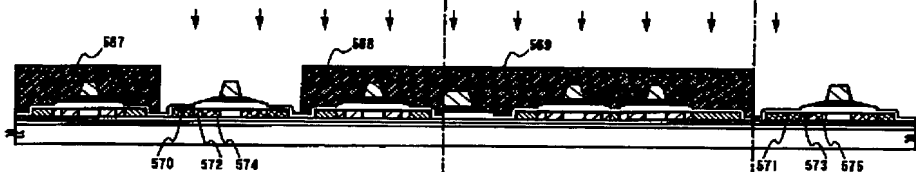


【図6】

(A) 第3のドーピング処理



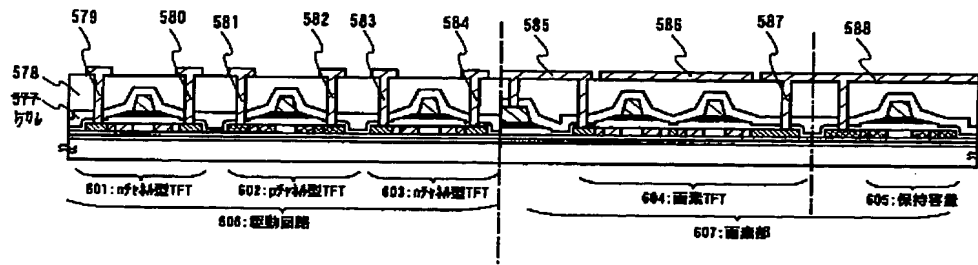
(B) 第4のドーピング処理



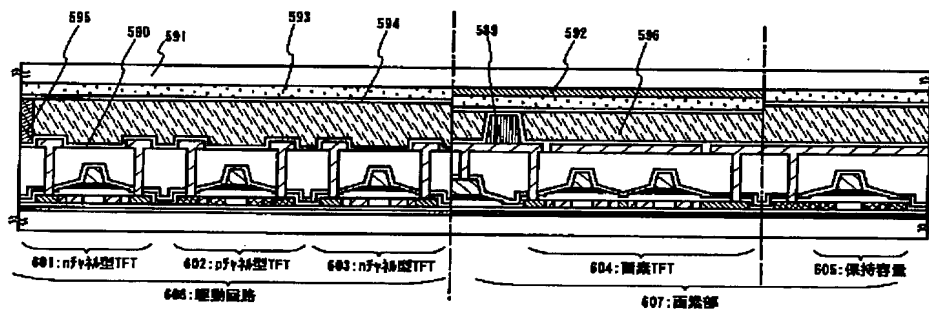
(C) 活性化処理



【図7】

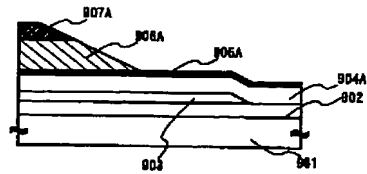
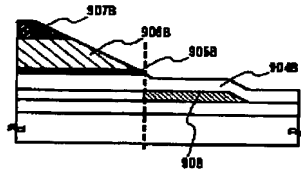
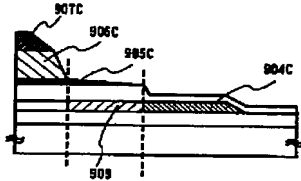


【図8】

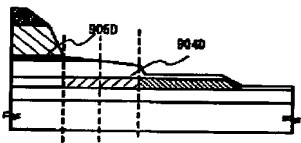


【図 9】

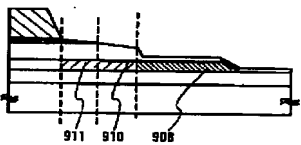
(A) 第1のドライエッチング

(B) 第2のドライエッチング
ドーピング(C) 第3のドライエッチング
ドーピング

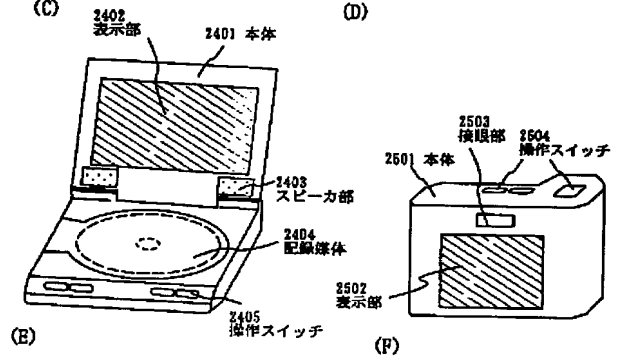
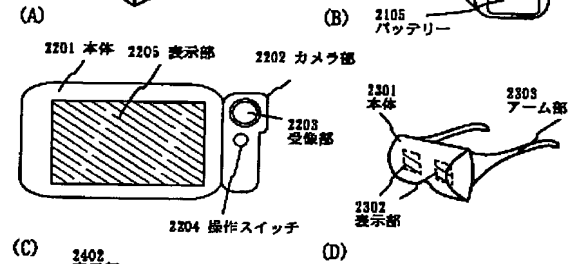
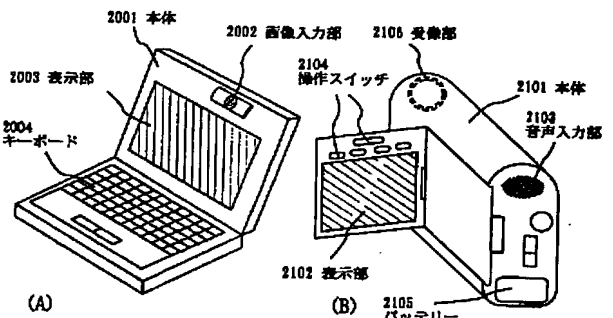
(D) 第4のドライエッチング



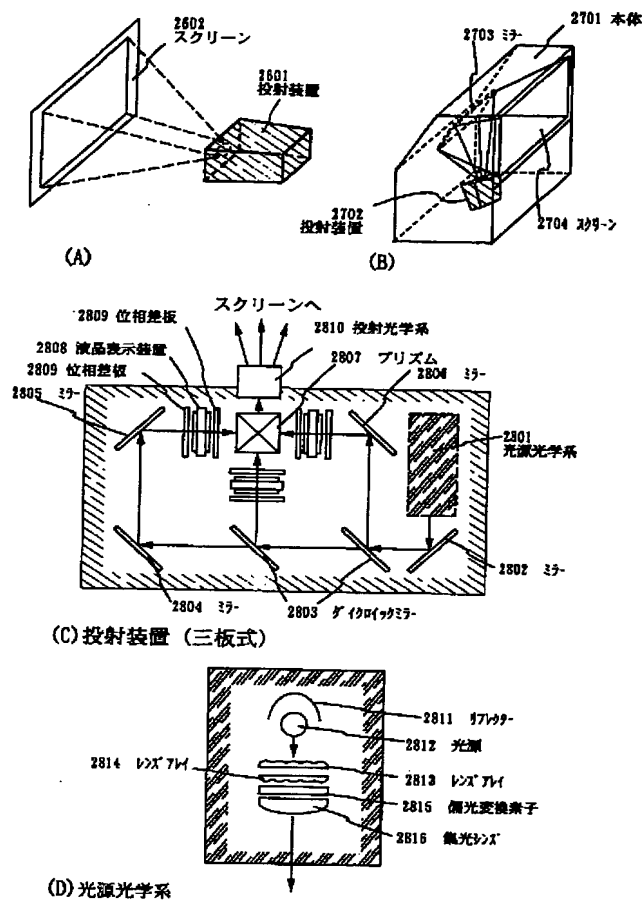
(E) レジスト剥離



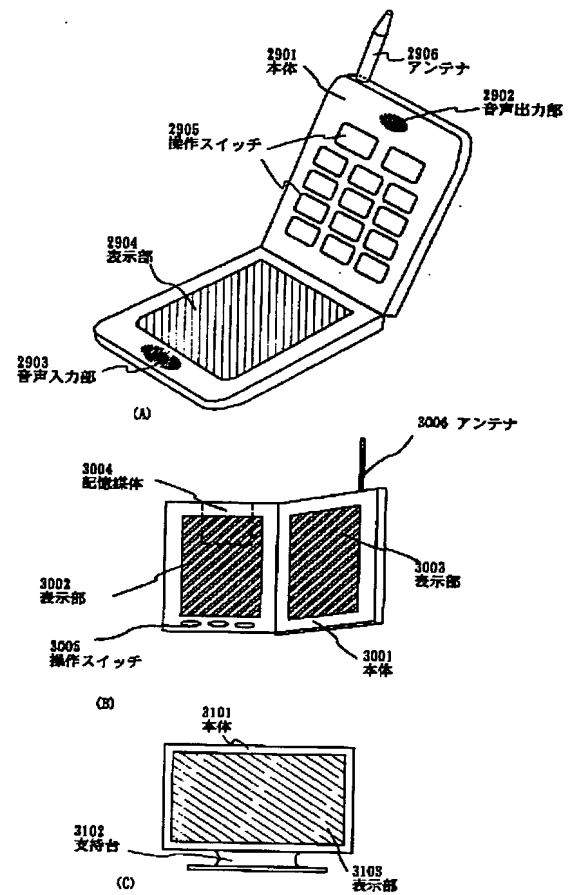
【図 10】



【図 11】



【図 12】



フロントページの続き

Fターム(参考) 4M104 AA09 BB04 BB08 BB14 BB16
BB17 BB30 BB31 BB32 BB33
CC05 DD65 DD67 FF06 FF13
GG09
5F004 AA03 BA20 CA02 CA03 DA01
DA04 DA11 DA17 DA18 DA26
DB10 DB12 EB02
5F110 AA16 BB02 BB04 CC02 DD01
DD02 DD03 DD05 DD13 DD14
DD15 DD17 EE01 EE02 EE04
EE06 EE23 EE44 EE45 FF01
FF02 FF03 FF04 FF09 FF12
FF28 FF30 GG01 GG02 GG13
GG22 GG25 GG32 GG34 GG43
GG45 GG52 HJ01 HJ04 HJ13
HJ23 HL04 HL06 HL11 HL14
HL23 HM15 NN03 NN04 NN22
NN27 NN34 NN35 NN36 NN73
PP01 PP03 PP10 PP29 PP34
PP35 QQ04 QQ09 QQ11 QQ19
QQ24 QQ25